

CA-IF4420S 具有极性控制功能的 CAN 收发器

1. 产品特性

- 符合 ISO 11898-2:2016 和 ISO 11898-5:2007 物理层标准
- 所有器件均支持经典 CAN 和 5Mbps CAN FD（灵活数据速率）
- 通过 POL 端口进行外部极性控制
 - POL 为低(默认), CAN 总线正常极性
 - POL 为高, CAN 总线极性反转
- 未上电时的理想无源特性
 - 总线和逻辑引脚处于高阻态（无负载）
 - 上电和掉电时总线和 RXD 输出上无毛刺脉冲
- 保护特性
 - 总线故障保护: $\pm 58\text{V}$
 - VCC 和 VIO 电源引脚上具有欠压保护
 - 驱动器显性超时 (TXD DTO) - 数据速率低至 4kbps
 - 热关断保护 (TSD)
- CA-IF4420S 支持 1.7V 到 5.5V 逻辑电平转换
- 接收器共模输入电压: $\pm 30\text{V}$
- 典型循环延迟: 130ns
- 结温范围: -55°C 至 150°C
- 可提供 SOIC8 封装

2. 应用

- 供热通风及空调系统 (HVAC)
- 工业控制
- 建筑自动化
- 开关柜
- 楼宇自动化

3. 概述

该 CAN 收发器系列符合 ISO1189-2 (2016) 高速 CAN（控制器局域网）物理层标准。所有器件均设计用于数据

速率高达 5Mbps（兆位每秒）的 CAN FD 网络。该器件支持总线故障保护电压 $\pm 58\text{V}$ ，具有极性控制端口 POL，可以控制总线的极性。CA-IF4420S 包含 VIO 电源的电平逻辑转换，允许将收发器 IO 直接连接到 1.8V、2.5V、3.3V 或 5V 逻辑 IO。此外，器件包含许多保护功能，以提高 CAN 器件的稳定性。

CA-IF4420S 具有很高的总线故障保护电压和共模电压范围，同时具有很高的 ESD 保护特性，在电磁环境恶劣的场景拥有非常出色的表现。

CA-IF4420S 包含如欠压保护、TXD 显性超时保护及热关断保护等保护特性，从而提供系统的可靠性。

CA-IF4420S 具有 SOIC8 的封装，可以运行在 -40°C 至 125°C 的工作温度范围。

表 3-1 器件信息

零件号	封装	封装尺寸(标称值)
CA-IF4420S	SOIC8(S)	4.9mm x 3.9mm

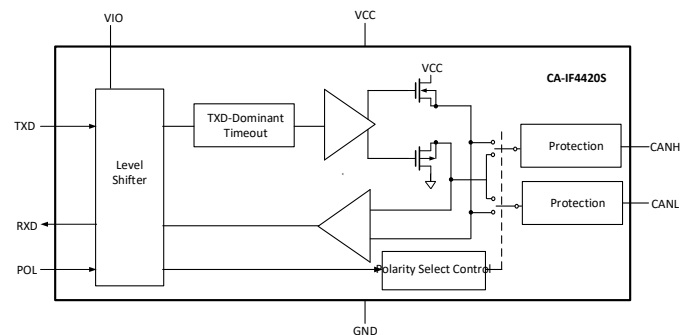


图 3-1 简化信息结构图

4. 订购指南

表 4-1 有效订购零件编号

型号	封装	封装尺寸
CA-IF4420S	SOIC8	4.9mm*3.9mm

目录

<ul style="list-style-type: none"> 1. 产品特性.....1 2. 应用1 3. 概述1 4. 订购指南.....2 5. 修订历史.....3 6. 引脚功能描述4 7. 产品规格.....5 <ul style="list-style-type: none"> 7.1. 绝对最大额定值.....5 7.2. ESD 额定值5 7.3. 推荐工作条件.....5 7.4. 热量信息.....5 7.5. 电气特性.....5 7.6. 开关特性.....7 8. 参数测量信息8 9. 典型特性.....11 10. 详细说明13 	<ul style="list-style-type: none"> 10.1. 发射端显性超时功能 13 10.2. 欠压保护 14 10.3. 驱动端 14 10.4. 接收端 14 10.5. 过温保护 14 10.6. 非上电状态 14 10.7. 悬空端口状态 15 10.8. 常规模式 15 10.9. 极性反转模式 15 10.10. 支持 V_{IO} 电平转换的器件 15 11. 应用信息.....16 12. 封装信息.....17 <ul style="list-style-type: none"> 12.1. SOIC8 的外形尺寸.....17 13. 焊接信息.....18 14. 编带信息.....19 15. 重要声明.....20
---	--

5. 修订历史

修订版本号	修订内容	页码
Version 1.00	NA	NA
Version 1.01	<ul style="list-style-type: none"> 1. 更新 HBM ESD 2. 更新总线上升延时和 TXD 传输延时典型值 	Page5 Page11

6. 引脚功能描述

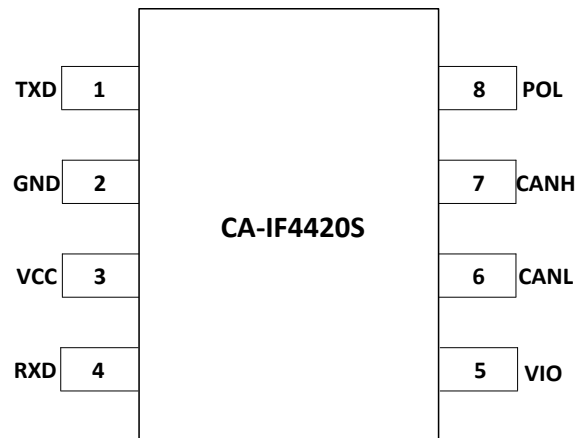


图 6- 1 CA-IF4420S 引脚图

表 6- 1 CA-IF4420S 引脚功能描述

引脚名称	引脚序号	类型	描述
TXD	1	输入	传输数据输入。TXD 为高 CAN 总线输出为隐性态，TXD 为低 CAN 总线输出为显性态。TXD 内部上拉电阻至 V_{IO} 。
GND	2	地	参考地。
VCC	3	电源	电源输入。在 VCC 和 GND 之间接入一个 $0.1\mu\text{F}$ 电容尽可能的靠近器件。
RXD	4	输出	接收器数据输出。当 CAN 总线处于隐性态时，RXD 为高电平。当 CAN 总线处于显性态时，RXD 为低电平。RXD 的参考电源为 V_{IO} 。
VIO	5	电源	VIO 电源，用于逻辑电平转换。
CANL	6	输入/输出	低电平 CAN 总线。
CANH	7	输入/输出	高电平 CAN 总线。
POL	8	输入	极性控制管脚。POL 为低，常规模式；POL 为高，极性反转。

7. 产品规格

7.1. 绝对最大额定值

表 7-1 绝对最大额定值

参数		最小值	最大值	单位
V _{CC}	5-V 总线电源电压	-0.3	7	V
V _{IO}	I/O 电源电压	-0.3	7	V
V _{BUS}	CAN 总线 IO 电压 (CANH, CANL)	-58	58	V
V _(DIFF)	CANH 和 CANL 间的最大差分电压	-58	58	V
V _(Logic_Input)	逻辑侧端口输入电压 (TXD, POL)	-0.3	7	V
V _(Logic_Output)	逻辑侧端口输出电压 (RXD)	-0.3	7	V
I _{O(RXD)}	RXD 接收器输出电流	-8	8	mA
T _J	结温	-55	150	°C
T _{STG}	存储温度	-65	150	°C

备注:

1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

7.2. ESD 额定值

表 7-2 ESD 额定值

测试项目	测试条件		数值	单位
CA-IF4420S				
HBM ESD	所有管脚		±8000	V
	CAN 总线端口 (CANH, CANL) 到 GND		±35000	
CDM ESD	所有管脚		±2000	V
System Level ESD	CAN 总线端口 (CANH, CANL) 到 GND	IEC 61000-4-2 : 不上电接触放电	±12000	V

备注:

JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程实现安全制造

7.3. 建议工作条件

表 7-3 建议工作条件

参数		最小值	最大值	单位
V _{CC}	5-V 总线电源电压	4.5	5.5	V
V _{IO}	I/O 电平转换电源电压	1.7	5.5	V
I _{OH(RXD)}	RXD 端口高电平输出电流	-2		mA
I _{OL(RXD)}	RXD 端口低电平输出电流		2	mA

7.4. 热量信息

表 7-4 热量表

热量表		SOIC8	单位
R _{θJA}	IC 结至环境的热阻	170	°C/W

7.5. 电气特性

建议工作条件下，环境温度 TA=-40°C 到 125°C。

表 7-5 电气特性表

参数		测试条件	最小值	典型值	最大值	单位
电源特性						
I _{CC}	5V 电源电流	TXD=0V, R _L =60 Ω (显性), 图 8-1		45	70	mA
		TXD=0V, R _L =50 Ω (显性), 图 8-1		50	80	mA
		TXD=0V, CANH=-12V (显性), 图 8-1			110	mA
		TXD=V _{CC} , R _L =50 Ω (隐性), 如图 8-1		1.8	2.5	mA
I _{IO}	I/O 电源电流	TXD=high		6	30	μA
V _{UV_VCC}	V _{CC} UVLO 电压	上升		4.1	4.45	V
V _{UV_VCC}	V _{CC} UVLO 电压	下降	3.5	4.0	4.25	V
V _{UV_VCC_hys}	V _{CC} UVLO 电压	滞回		0.1		V
V _{UV_VIO}	V _{IO} UVLO 电压		1.3		1.68	V
V _{UV_VIO_hys}	V _{IO} UVLO 电压滞回			50		mV
逻辑接口(POL 输入)						
V _{IH}	输入高电平		0.7*V _{IO}			V
V _{IL}	输入低电平				0.3*V _{IO}	V
I _{IH}	输入高电平漏电流	POL=V _{CC} or V _{IO} =5.5V	7	60	100	μA
I _{IL}	输入低电平漏电流	POL=0V, V _{CC} =V _{IO} =5.5V	-1		1	μA
I _{lek(off)}	未上电时漏电流	POL=5.5V, V _{CC} =V _{IO} =0V	-1		1	μA
逻辑接口(TX 输入端口)						
V _{IH}	输入高电平		0.7*V _{IO}			V
V _{IL}	输入低电平				0.3*V _{IO}	V
I _{IH}	输入高电平漏电流	TXD=V _{CC} =V _{IO} =5.5V	-2.5	0	1	μA
I _{IL}	输入低电平漏电流	TXD=0V, V _{CC} =V _{IO} =5.5V	-100	-47	-7	μA
I _{lek(off)}	未上电时漏电流	TXD=5.5V, V _{CC} =V _{IO} =0V	-1	0	1	μA
C _i	输入电容	V _{in} =0.4*sin(4e6*π*t)+2.5V		5		pF
逻辑接口(RX 输出端口)						
V _{OH}	输出高电平		0.8*V _{IO}			V
V _{OL}	输出低电平				0.2*V _{IO}	V
I _{lek(off)}	未上电时漏电流	RXD=5.5V, V _{CC} =V _{IO} =0V	-1	0	1	μA
CAN 总线驱动						
V _{O(DOM)}	单端输出电压 (显性)	TXD=低, R _L =50-65Ω, CANH 端口, 如图 8-1	2.75		4.5	V
		TXD=低, R _L =50-65Ω, CANL 端口, 如图 8-1	0.5		2.25	V
V _{O(DOM)}	差分输出电压 (显性)	TXD=低, R _L =60 Ω, R _{CM} =165 Ω, -5V<V _{CM} <=+10V, 如图 8-1	1.5		3.0	V
		TXD=低, R _L =45-50 Ω, R _{CM} open, 如图 8-1	1.4		3.0	V
		TXD=低, R _L =50-65 Ω, R _{CM} open, 如图 8-1	1.5		3.0	V
		TXD=低, R _L =2240 Ω, R _{CM} open, 如图 8-1	1.5		5.0	
V _{O(REC)}	单端输出电压 (隐性)	TXD=高, 无负载, CANH 端口, 如图 8-1	2		3	V
		TXD=高, 无负载, CANL 端口, 如图 8-1	2		3	V
V _{OD(REC)}	差分输出电压 (隐性)	TXD=高, R _L =60 Ω, 如图 8-1	-120		12	mV
		TXD=高, 无负载, 如图 8-1	-50		+50	mV
I _{OS(SS_DOM)}	短路电流(显性)	TXD=低, CANL 开路, CANH 从-15V 到 40V, 如图 8-6	-100			mA
		TXD=低, CANH 开路, CANL 从-15V 到 40V, 如图 8-6			100	
I _{OS(SS_rec)}	短路电流(隐性)	TXD=高, V _{BUS} 从-27V 到 32V, 如图 8-6	-5		5	mA
V _{Sys}	瞬态对称性(显性和隐性)	R _L =60 Ω, R _{CM} open, TXD=250kHz, 1MHz, 如图 8-1	0.9		1.1	V/V
V _{Sys_dc}	DC 对称性(显性和隐性)	R _L =60 Ω, R _{CM} open, 如图 8-1	-0.4		0.4	V
CAN 接收器(TXD=High, CANH/CANL 由外部驱动)						
V _{CM}	共模输入范围	CANH 或者 CANL 到地, RXD 输出有效, 如图 8-2	-30		+30	V
V _{DIFF_R}	差分输入阈值 (隐性)	TXD=高, V _{CM} 从 -20V 到 20V, 如图 8-2	0.5			

V _{DIFF_D}	差分输入阈值 (显性)	TXD=高, V _{CM} 从 -20V 到 20V, 如图 8- 2	0.9		
V _{DIFF_R}	差分输入阈值 (隐性)	TXD=高, V _{CM} 从 -30V 到 30V, 如图 8- 2	0.4		
V _{DIFF_D}	差分输入阈值 (显性)	TXD=高, V _{CM} 从 -30V 到 30V, 如图 8- 2	1		
V _{DIFF_HYST}	差分输入滞回		120	mV	
R _{IN}	CANH/CANL 输入电阻	TXD=高, V _{CM} 从 -30V 到 30V	15	40	kΩ
R _{DIFF}	差分输入电阻	TXD=高, V _{CM} 从 -30V 到 30V	30	80	kΩ
R _{DIFF (M)}	输入电阻匹配	CANH=CANL=5V	-2	2	%
I _{LKG}	输入端漏电流	V _{CC} =0V, V _{CAN} =5V	4.8		μA
C _{IN}	输入端电容	CANH 或者 CANL 到地	60		pF
C _{IN_DIFF}	输入差分电容	CANH 到 CANL	30		pF

7.6. 开关特性

建议工作条件下, 环境温度 TA=-40°C到 125°C。

表 7- 6 开关特性表

参数		测试条件	最小值	典型值	最大值	单位
驱动器开关特性						
t _R	总线驱动上升时间	R _L =60 Ω, C _L =100pF, 如图 8- 1		40		ns
t _F	总线驱动下降时间	R _L =60 Ω, C _L =100pF, 如图 8- 1		60		ns
t _{ONTXD}	TXD 延迟(隐形到显性)	R _L =60 Ω, C _L =100pF, 如图 8- 1		50		ns
t _{OFFTXD}	TXD 延迟(显形到隐性)	R _L =60 Ω, C _L =100pF, 如图 8- 1		60		ns
T _{sk(p)}	脉冲偏差	R _L =60 Ω, C _L =100pF, 如图 8- 1		20		ns
t _{DOM}	TXD 显性超时	R _L =60 Ω, C _L open, 如图 8-4	2	5	8	ms
接收器开关特性						
t _{ONRXD}	RXD 延迟(隐形到显性)	C _{RXD} =15pF, 如图 8- 1		95		ns
t _{OFFRXD}	RXD 延迟(显形到隐性)	C _{RXD} =15pF, 如图 8- 1		65		ns
t _R	RXD 驱动上升时间	C _{RXD} =15pF, 如图 8- 2		20		ns
t _F	RXD 驱动下降时间	C _{RXD} =15pF, 如图 8- 2		20		ns
器件开关特性						
t _{loop1}	环路延迟时间	隐性到显性, R _L =60 Ω, C _L =100pF, 如图 8- 3		110	210	ns
t _{loop2}	环路延迟时间	显性到隐性, R _L =60 Ω, C _L =100pF, 如图 8- 3		160	210	ns
T _{mode}	模式转换时间	模式转换时间, 从常规模式到极性反转模式			300	μs
FD TIMING 特性						
T _{bit (bus)}	bit 时间	R _L =60 Ω, C _L =100pF, C _{RXD} =15pF, 如图 8-	435		530	ns
T _{bit (bus)}	bit 时间	R _L =60 Ω, C _L =100pF, C _{RXD} =15pF, 高速版本, 如图 8-	155		210	ns
T _{bit (rx)}	bit 时间	R _L =60 Ω, C _L =100pF, C _{RXD} =15pF, 如图 8-	400		550	ns
T _{bit (rx)}	bit 时间	R _L =60 Ω, C _L =100pF, C _{RXD} =15pF, 高速版本, 如图 8-	120		220	ns
T _{rec}	脉冲偏差	R _L =60 Ω, C _L =100pF, C _{RXD} =15pF, 如图 8-	-65		40	ns
T _{rec}	脉冲偏差	R _L =60 Ω, C _L =100pF, C _{RXD} =15pF, 高速版本, 如图 8-	-45		15	ns

8. 参数测量信息

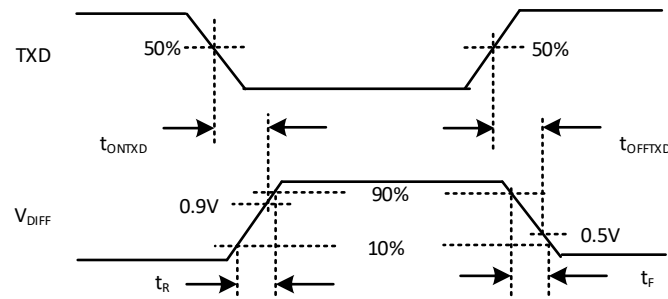
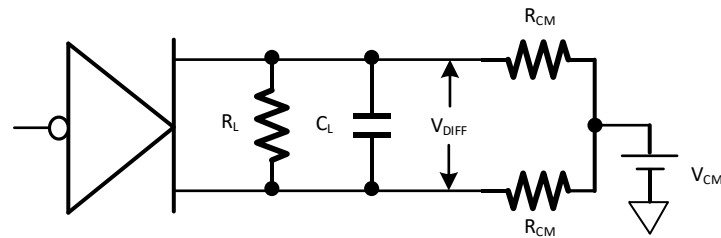


图 8-1 发射通道时序示意图

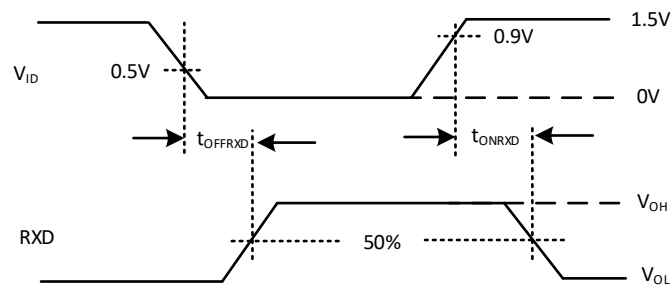
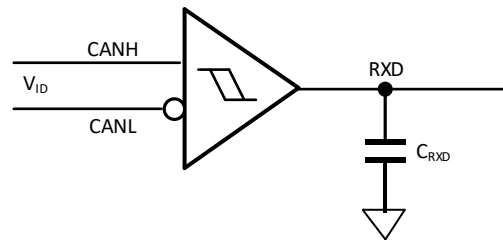


图 8-2 RXD 延迟示意图

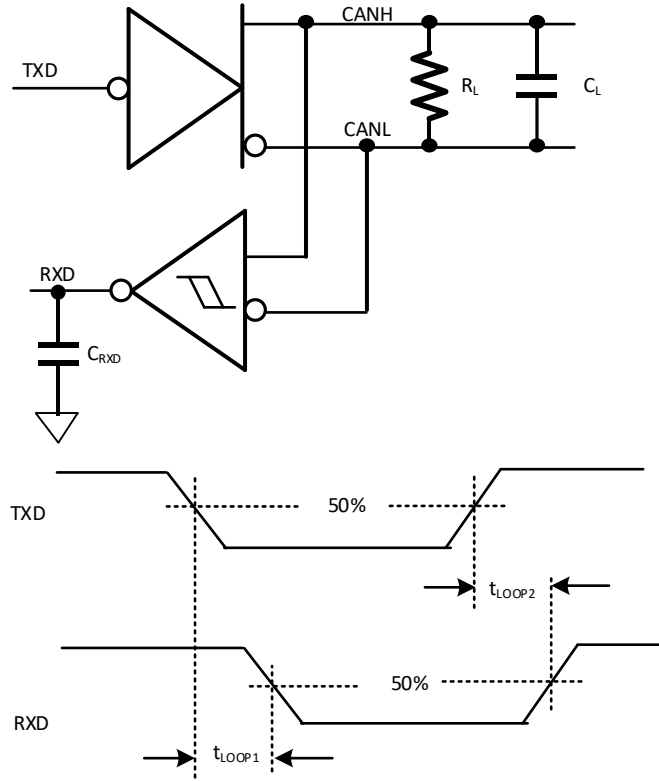


图 8-3 TXD 到 RXD 的环路延迟示意图

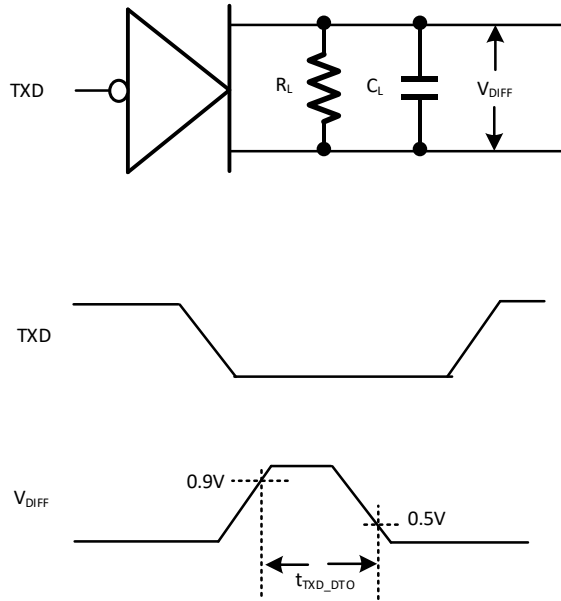


图 8-4 发射端显性超时示意图

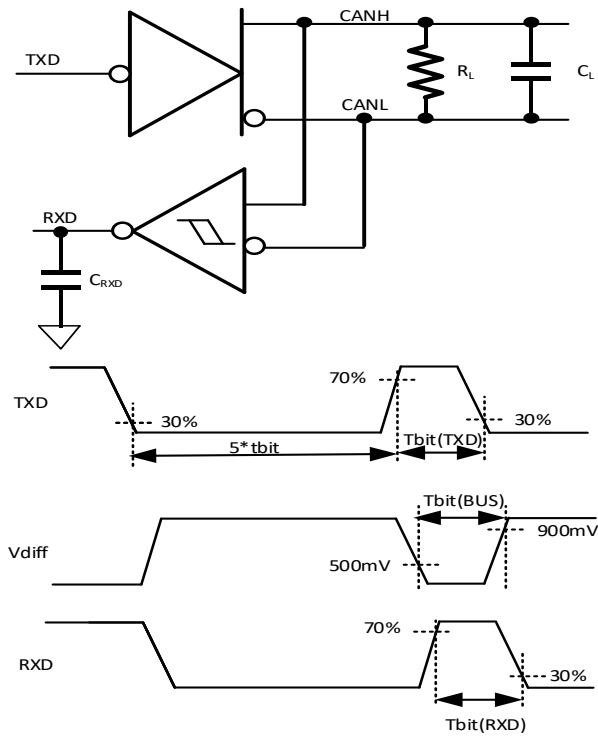


图 8-5 FD 时序示意图

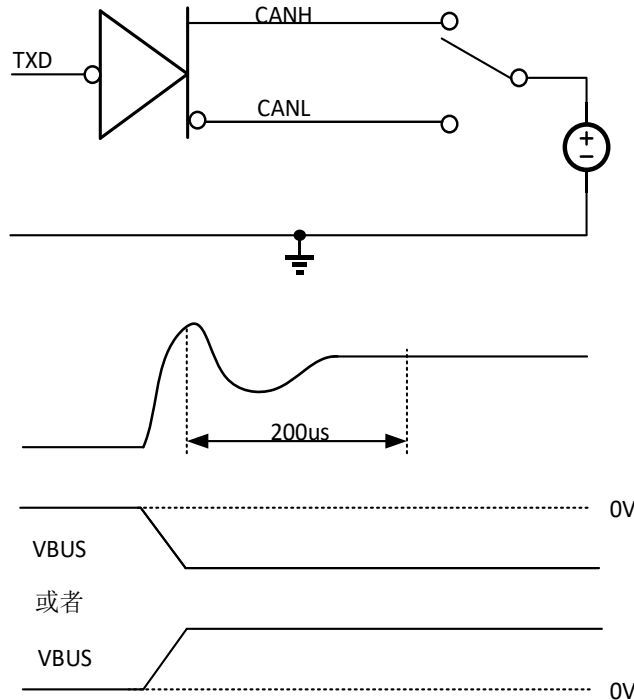


图 8-6 短路电流示意图

9. 典型特性

表 9-1 典型特性

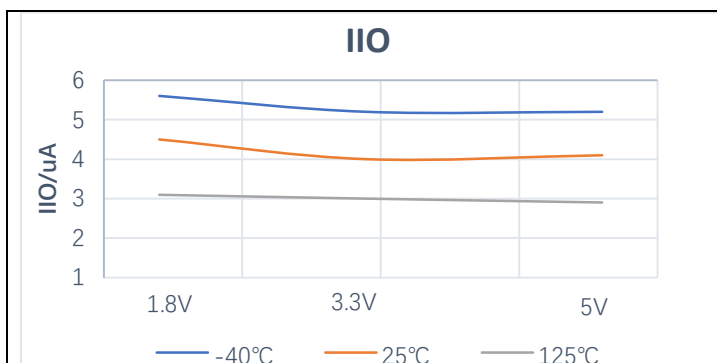


图 9-1 VIO 的工作电流

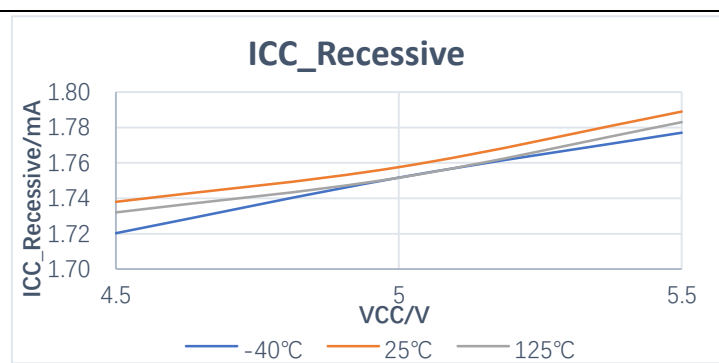


图 9-2 隐性状态电流

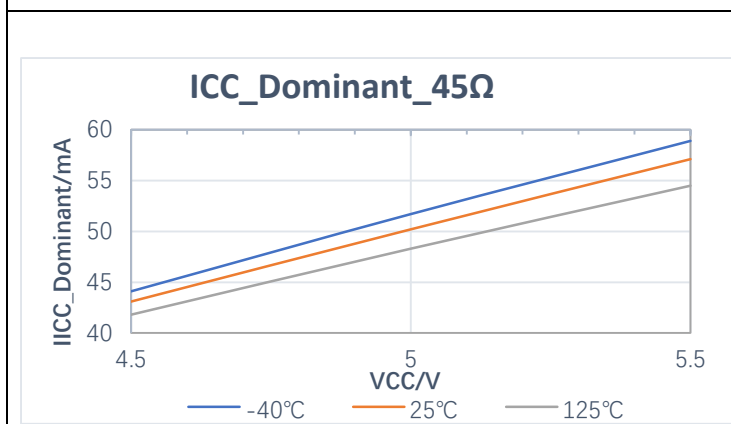


图 9-3 45Ω 负载下显性状态电流

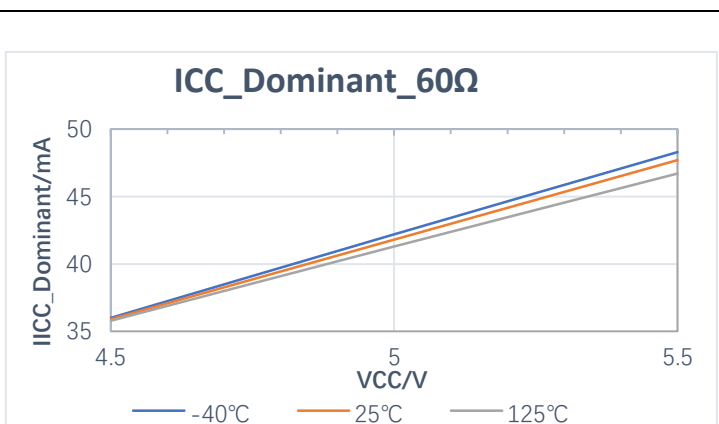


图 9-4 60Ω 负载下显性状态电流

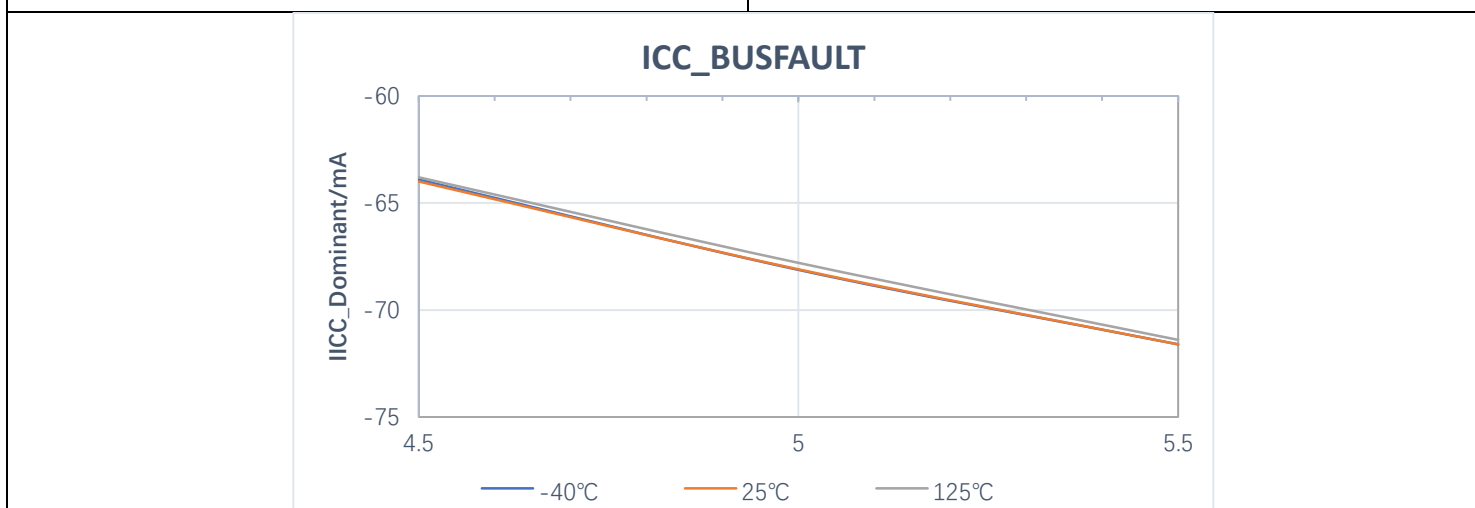


图 9-5 BusFault 电流

典型特性, 接上页:

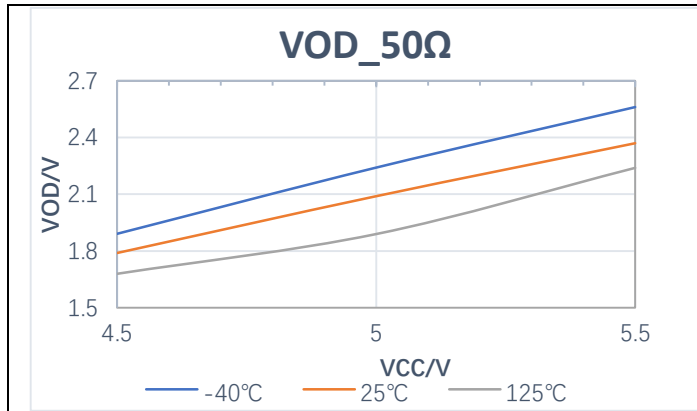


图 9-6 50Ω 负载下差分输出电压

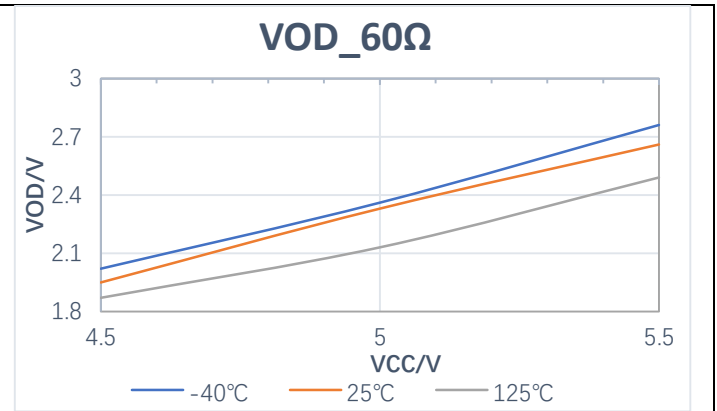


图 9-7 60Ω 负载下差分输出电压

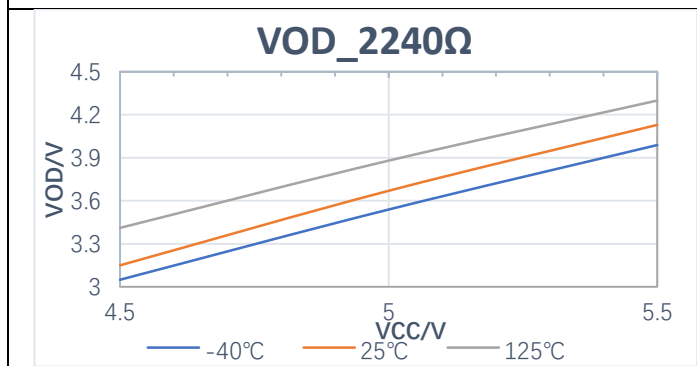


图 9-8 2240Ω 负载下差分输出电压

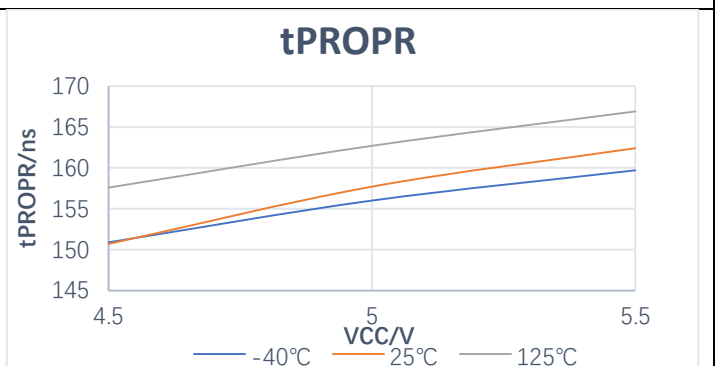


图 9-9 隐性状态到显性状态环路延时

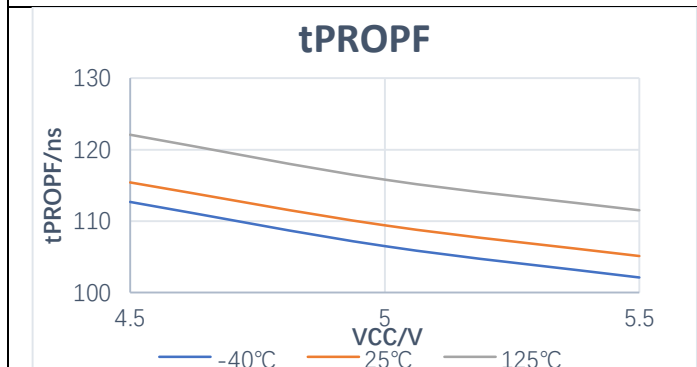


图 9-10 显性状态到隐性状态环路延时

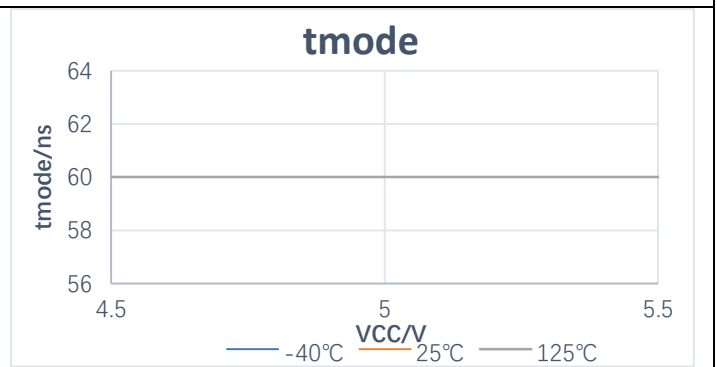


图 9-11 模式转换时间

10. 详细说明

具有故障保护功能的 CAN 收发器 CA-IF4420S 适用于工业网络应用，其 V_{CC} 工作电源电压为 5V，具有 $\pm 30V$ 的共模输入范围，CAN 总线端口(CANH,CANL)支持高达 $\pm 58V$ 的短路保护，使其能适用于恶劣的工业环境。

器件可以工作在 CAN 的最大传输速率下，允许小型网络传输 5Mbps 速率，最大的传输速率受限于电容负载和一些其他的因素。

CA-IF4420S 具有双电源供电，其 VIO 电源可与 3.3V MCU 共用一个电源，内部电平转换器将低压侧电平转换为 5V V_{CC} 电平。

CA-IF4420S 具有极性选择功能，当 POL 为低时候(默认)，总线正常输出，当 POL 为高时候，总线极性反转。

CANH 和 CANL 具有输出短路保护功能，当过热时，内部的过温保护电路会将驱动输出设为高阻态。

10.1. 发射端显性超时功能

当 CAN 控制器发生错误时候，会将 TXD 一直拉低，总线就会被钳位在显性状态，显性超时功能则会避免这一状态。当 TXD 处于显性的时间超过 t_{DOM} 时候，发射器会被关闭，以释放总线到隐性状态。在出现显性超时故障后，发射器可以被 TXD 的上升沿重新使能。发射器的显性超时功能限制了可能的最低传输速率为 4kbps。

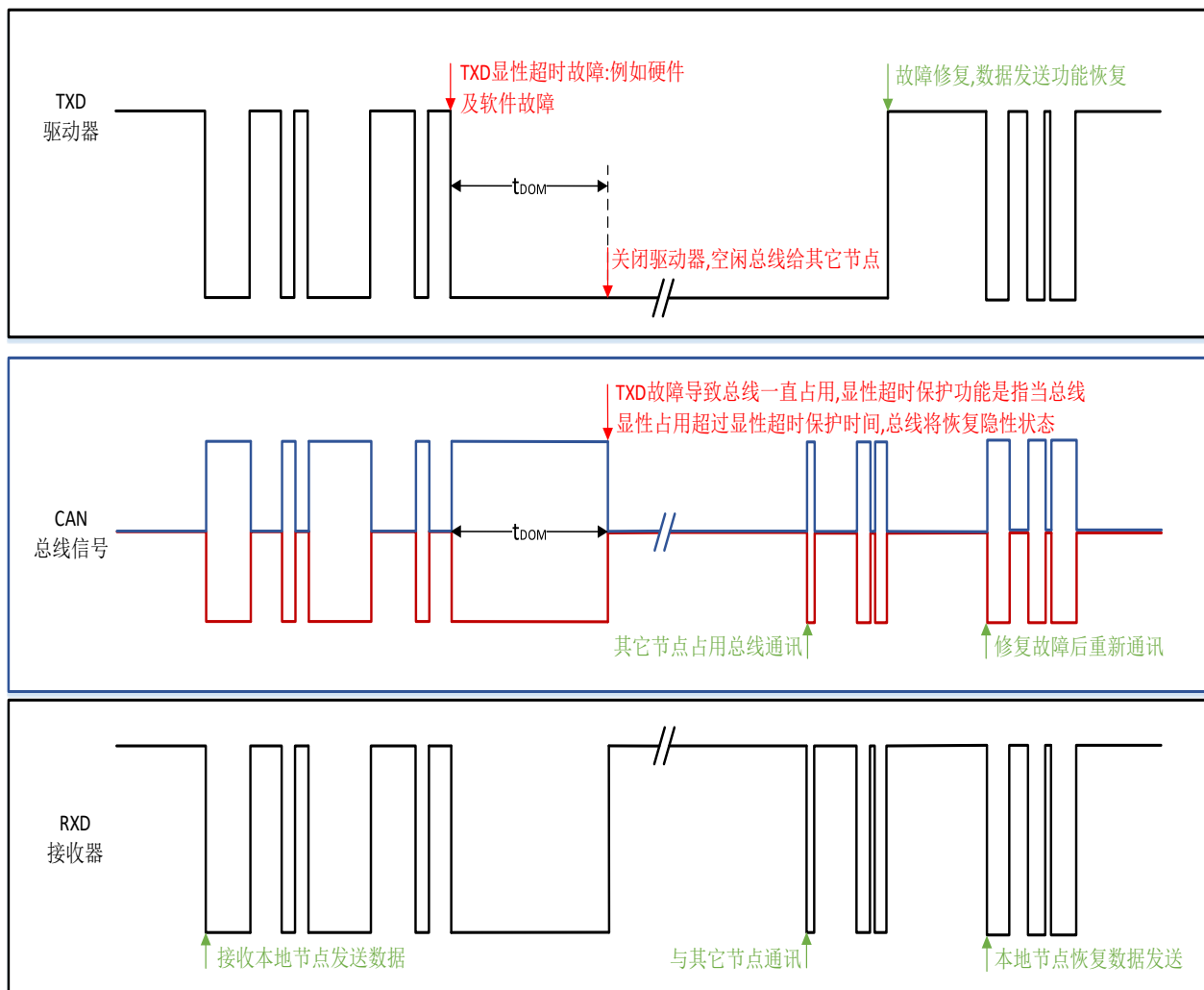


图 10-1 显性超时保护时序示例图

10.2. 欠压保护

当 V_{CC} 或者 V_{IO} 电压处于 UVLO 状态时候，器件处于保护状态。

表 10-1 欠压保护状态表

V_{CC}	V_{IO}	Device state	BUS Output	RXD
大于 V_{UV_VCC}	大于 V_{UV_VIO}	正常态	根据 TXD	根据总线
小于 V_{UV_VCC}	大于 V_{UV_VIO}	保护态	高阻	高(隐性)
大于 V_{UV_VCC}	小于 V_{UV_VIO}	保护态	高阻	高阻
小于 V_{UV_VCC}	小于 V_{UV_VIO}	保护态	高阻	高阻

10.3. 驱动端

在正常工作模式下，当 TXD 输入高电平，总线输出处于隐性状态，当 TXD 输入低电平或者悬空时候，总线输出处于显性状态。

表 10-1 驱动器功能表

Device Mode	INPUT		OUTPUT		Bus driver state
	POL	TXD	CANH	CANL	
常规模式	低或者悬空	低	高	低	显性
		高或者悬空	高阻	高阻	隐性
反转模式	高	低	低	高	显性
		高或者悬空	高阻	高阻	隐性

当输出端短路到高或低电平时候，CA-IF4420S 通过限制驱动级电流来进行短路保护。过温保护功能进一步保护了短路时产生的过热，当短路移除后，驱动端将回到正常工作状态。

10.4. 接收端

接收端读取总线(CANH,CANL)上的差分输入数据并将其转化为单端输出(RXD)到 CAN 控制器。其内部包含一个比较器，比较器读取差分电压 V_{DIFF} ，同内部的 0.7V 阈值电压进行比较。如果 $V_{DIFF} > 0.9V$ ，输出低电平到 RXD，如果 $V_{DIFF} < 0.5V$ ，输出高电平到 RXD。

总线 CANH 和 CANL 的共模电压范围为 $\pm 30V$ 。当 CANH 和 CANL 发生短路，断路或者悬空时，RXD 输出高电平。

表 10-2 接收器功能表

Device Mode	V_{DIFF}	BUS state	RXD
正常态($V_{DIFF} = CANH - CANL$)或者极性反转态($V_{DIFF} = CANL - CANH$)	$V_{DIFF} > 0.9V$	显性	低
	$0.5V < V_{DIFF} < 0.9V$	未知	未知
	$V_{DIFF} < 0.5V$	隐性	高
	OPEN($V_{DIFF} = 0V$)	OPEN	高

10.5. 过温保护

当结温超过过温保护阈值时，驱动端会关断。在过温时，CANH 和 CANL 处于高阻态，而接收端一直工作。当结温回退至正常工作温度范围内，驱动端回到正常的工作模式。

10.6. 非上电状态

当没有上电时候，总线端处于高阻态，小的漏电流允许总线上挂更多的器件。

10.7. 悬空端口状态

当 TXD 端口悬空时候，内部上拉至 V_{CC} ，使得总线输出处于隐性状态。当 POL 端口悬空时候，内部将其下拉至地，器件处于正常工作状态。

10.8. 常规模式

当 POL 端口拉低或者悬空时候，器件处于常规模式。处于常规模式下，驱动器和接收器都被使能，支持双向通信。

10.9. 极性反转模式

当 POL 端口拉高时候，器件处于极性反转模式。在此模式下，驱动器和接收器都被使能，同常规模式的区别在于总线的极性反转。

表 10-3 工作模式表

POL terminal	Mode	VO(DOM) 或者 VDIFF(RX)
低或悬空	常规态	=CANH-CANL
高	反转态	=CANL-CANH

10.10. 支持 V_{IO} 电平转换的器件

CA-IF4420S 有两个电源， V_{CC} 和 V_{IO} 。 V_{CC} 用于驱动总线 and 高速接收器， V_{IO} 用于接口处的逻辑电平转换，收发器 IO 可以直接连接到 1.7V、2.5V、3.3V 或 5V 逻辑 IO。RXD 输出在 V_{IO} 电源域下，TXD 内部偏置到 V_{IO} ，POL 管脚内部偏置到 GND。这样，如果 TXD 和 POL 管脚悬空时候，器件处在默认状态。

11. 应用信息

图 11-1 给出了 CA-IF4420S 版本的典型应用图， V_{IO} 电源与 3.3V MCU 的电源连接在一起：

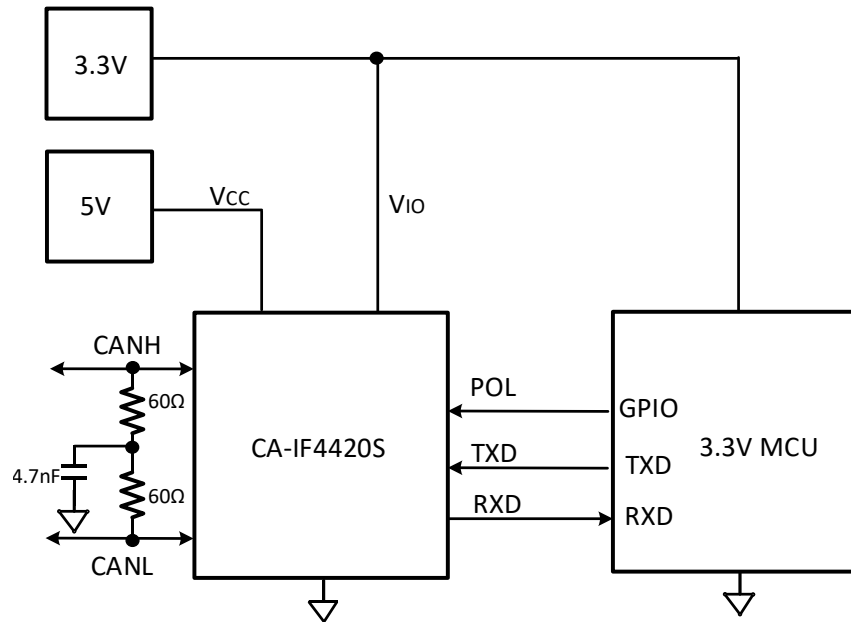


图 11- 1 CA-IF4420S CAN 总线典型应用图

12. 封装信息

12.1. SOIC8 的外形尺寸

SOIC8 封装尺寸图和建议焊盘尺寸图。尺寸以毫米为单位

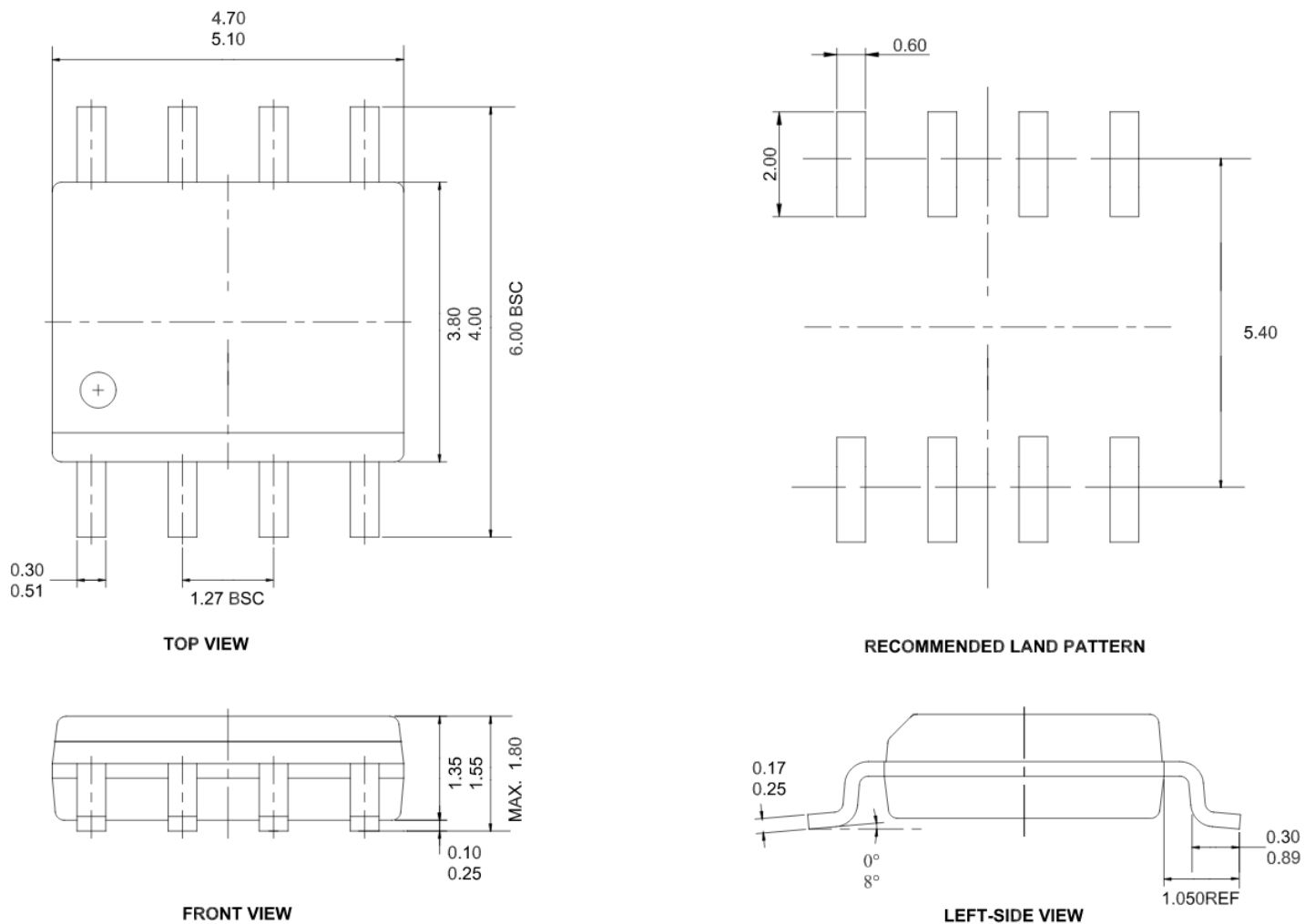


图 12- 1 SOIC8 封装尺寸图

13. 焊接信息

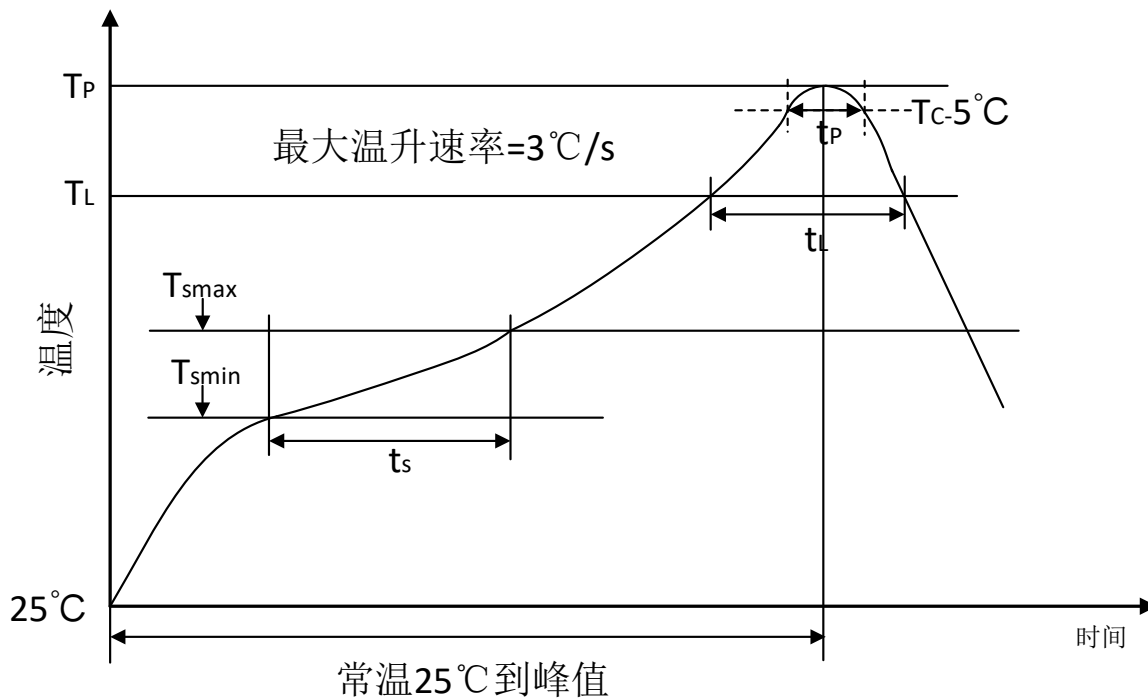


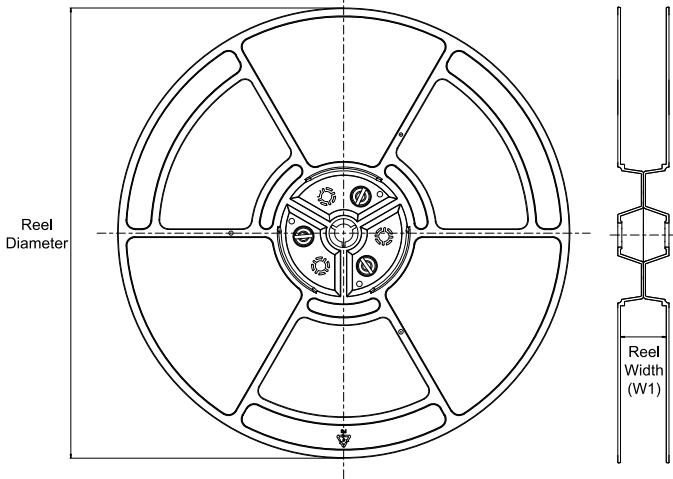
图 13- 1 焊接温度曲线

表 13- 1 焊接温度参数

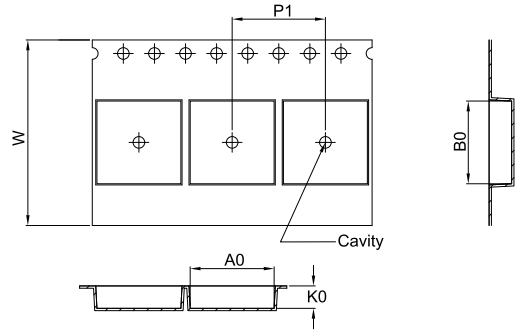
简要说明	无铅焊接
平均温升速率($T_L=217\text{ }^\circ\text{C}$ 至峰值 T_P)	最大 $3\text{ }^\circ\text{C/S}$
$T_{smin}=150\text{ }^\circ\text{C}$ 到 $T_{smax}=200\text{ }^\circ\text{C}$ 预热时间 t_s	60-120 秒
温度保持 $217\text{ }^\circ\text{C}$ 以上时间 t_L	60-150 秒
峰值温度 T_P	$260 +5/-0\text{ }^\circ\text{C}$
小于峰值温度 $5\text{ }^\circ\text{C}$ 以内时间 t_P	30 second
降温速率	最大 $6\text{ }^\circ\text{C/S}$
常温 $25\text{ }^\circ\text{C}$ 到峰值温度 T_P 时间	最长 8 分钟

14. 编带信息

REEL DIMENSIONS

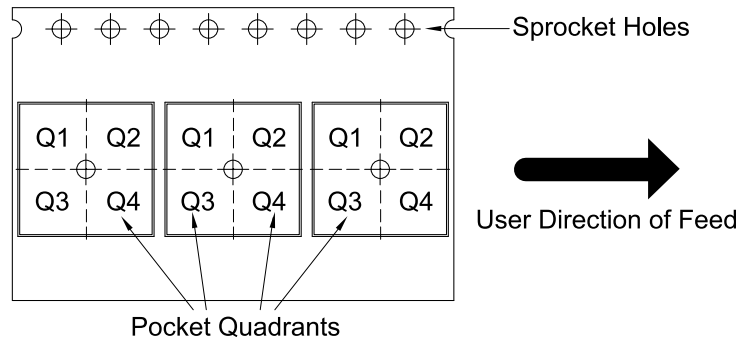


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF4420S	SOIC	S	8	2500	330	12.4	6.4	5.4	2.1	8.0	12.0	Q1

15. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>