

A-IS2062A 带电源的隔离 CAN 收发器测试板使用说明

描述

此份文件描述了 CA-IS2062A 测试板的相关使用说明，其中包括产品介绍、原理图、PCB 布线图、物料清单以及部分测试数据等。本测试板可以用来简单评估该芯片内置的隔离电源以及 CAN 收发器的参数性能等。

芯片简介

CA-IS2062A 是一款隔离式控制器局域网（CAN）收发器，内部集成 DC-DC 转换器，省去了外部隔离电源，有效节省系统空间和简化设计。

CA-IS2062A 具有高绝缘能力，有助于防止数据总线或其他电路上的噪声和浪涌进入本地接地端，进而干扰或损坏敏感电路，高 CMTI 能力可以保证信号的正确传输。该器件采用 LGA16 小型化封装，能够显著节省 PCB 布板空间，支持绝缘耐压高达 2.5kV_{RMS}。

CA-IS2062A 逻辑侧的 DC-DC 转换器电源 VDDP 采用 5V 单电源供电，逻辑电源 VDDL 支持 2.5V 到 5.5V 供电范围，VDDL 和 VDDP 分开可以使用不同电压供电。若 VDDL 使用 5V 电源供电，可以直接和 VDDP 共用一个电源。CA-IS2062A 的总线侧 VISO_{OUT} 由内部 DC-DC 转换器产生，输出电压 5V，为总线侧 CAN 收发器电源 VISO_{IN} 供电，应用中需要把 VISO_{OUT} 和 VISO_{IN} 直接短接。

CA-IS2062A 测试版适用如下表所示的产品型号。

表 1 器件型号

型号	VDDP	VDDL	数据速率	隔离电压	封装
CA-IS2062A	4.5~5.5V	2.5~5.5V	5Mbps	2.5kV _{RMS}	LGA16

3D 仿真图

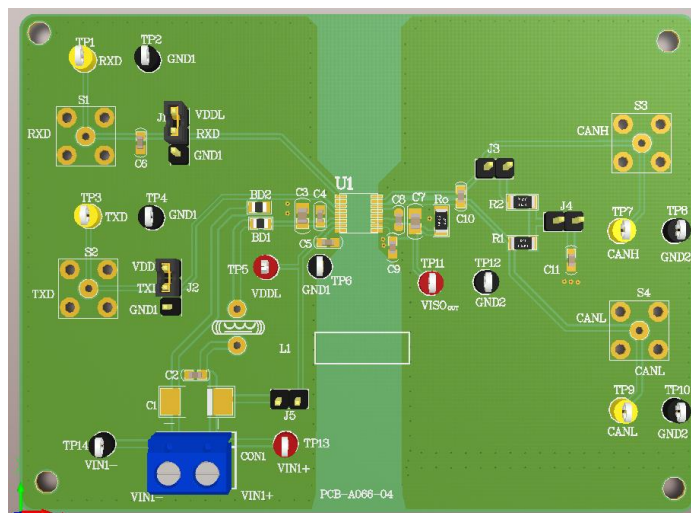


图 1 CA-IS2062A PCB 的 3D 仿真图

原理图

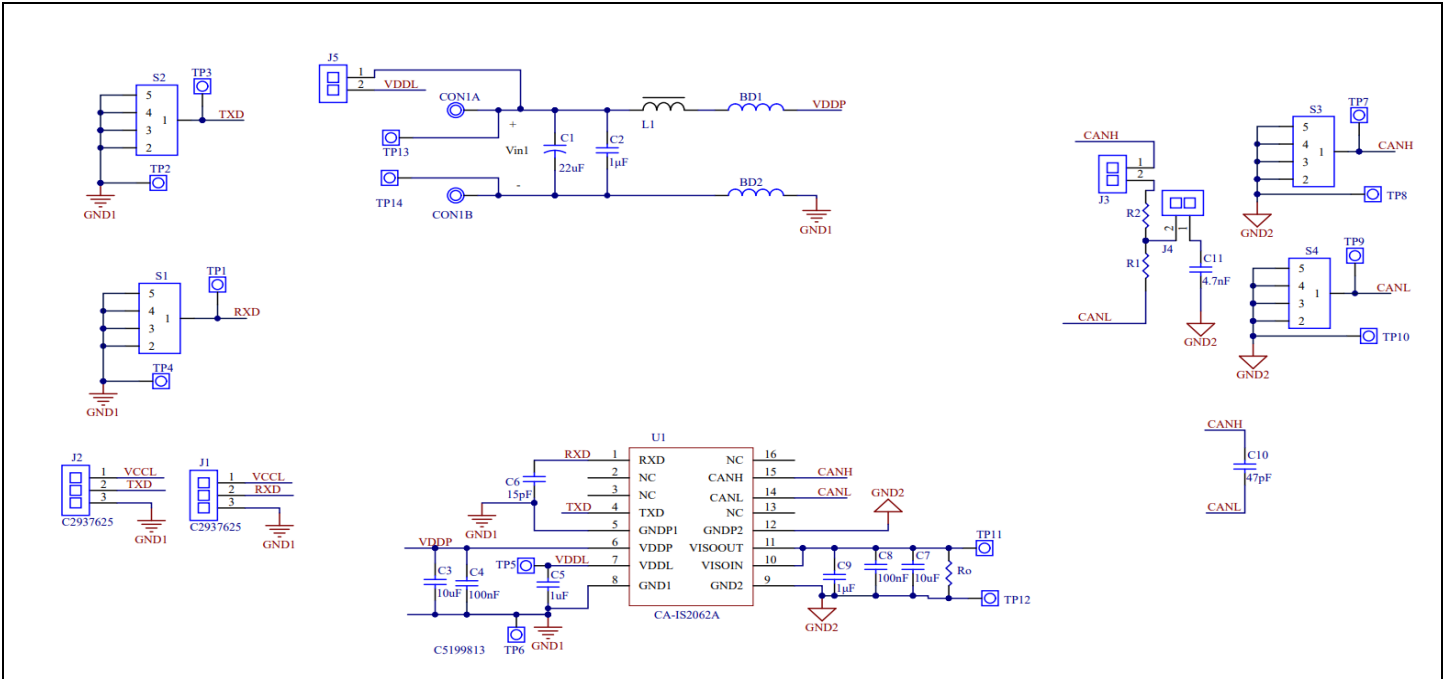


图 2 原理图

布线图

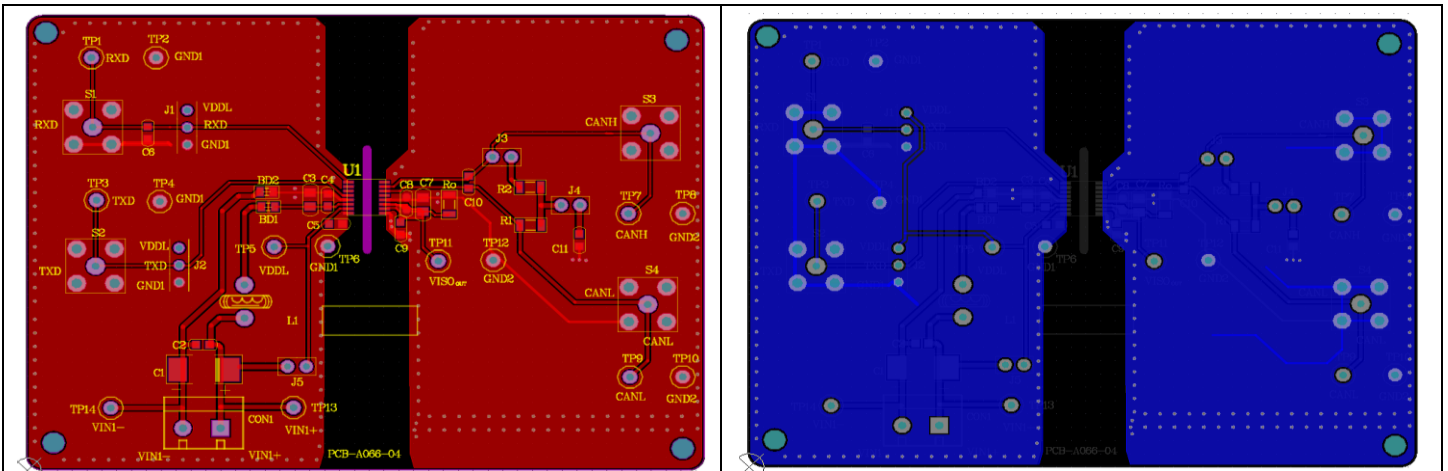


图 3 Top

图 4 Bottom

物料清单

Item	Ref Des	Qty	Description	Package	MFR	PN.
1	CON1	1	CONN, 5.08mm, Rising Cage Clamp	-	Würth Elektronik	691236510002
2	FBL1, FBL2	2	Beed 600Ohm	0805	Linekey	FBG2912-601Y
3	C1	1	Tantalum cap, 22uF	7343	AVX	TAJD226K025R NJ
4	C2, C5, C9	3	MLCC, 1μF/10V, X7R	0603	-	Standard
5	C3, C7	2	MLCC, 10μF/10V, X7R	0805	-	Standard
6	C4, C8	2	MLCC, 100nF/10V, X7R	0603	-	Standard
7	C11	1	MLCC, 4.7μF/10V, X7R	0603	-	Standard
8	Ro	0	NC	1206	-	-
9	R2, R3	2	Resistor, 30Ω, 1%	1206	-	Standard
10	S1, S2, S3, S4	4	SMA Connect, 2.54mm	-	-	Standard
11	L1	1	24uH, 0.7mm	-	-	-
12	U1	1	CA-IS2062A	LGA16	Chipanalog	
13	TP5, TP11, TP13	3	Test Point, Red, Through Hole, 1mm	-	Keystone	5000
14	TP1, TP3, TP7, TP9,	4	Test Point, Yellow, Through Hole, 1mm	-	Keystone	5009
15	TP2, TP4, TP6, TP8, TP10 , TP12, TP14	7	Test Point, Black, Through Hole, 1mm	-	Keystone	5001
16	J1, J2	2	Header, 3 pin, 2.54mm	-	-	Standard
17	J3, J4, J5	3	Header,2 pin, 2.54mm	-	-	Standard

测试仪器

直流电源、500MHz 带宽示波器安捷伦 DSOX3054T、6.5 位多功能万用表安捷伦 34465A、信号发生器等。

硬件连接和设置

1. 将直流电压源连接到 CON1;
2. CA-IS2062A 芯片的第 7 引脚是逻辑电源 VDDL, 可外接独立电源, 可以接 VDDP, 与芯片的第 6 引脚共用一路电源, 本测试板在 PCB 需要通过跳线帽 J5 把 VDDL 和 VDDP 连接到一起;
3. 信号发生器输出一定频率和幅值的信号, 连接到芯片通道的信号输入端 TXD 引脚;
4. 通过万用表测量 DC-DC 电源输出 VISO_{OUT} 的电压, 用示波器测试 CAN 收发器的总线 CANH/CANL 和 RXD 的波形;
5. 芯片 TXD 可以用信号发生器输入高电平或者低电平的信号, 也可以通过跳线帽短路 J5 的两个引脚, 使 TXD 接 GND1 或 VDDL; CA-IS2062A 的 CAN 收发器芯片具有 TXD 显性超时保护功能, 若 TXD 直接接 GDN1, 总线 CANH/CANL 进入高祖态, RXD 输出高电平;
6. 通过跳线帽短路 J3 的两个引脚, 可以 CANH 和 CANL 之间加载 60Ω 负载。

备注:

1. VDDP 和 VDDL 须分别达到 $ULVO_{VDDP+}$ 和 $ULVO_{VDDL+}$ 以上, VISO_{OUT} 才会建立输出电压, 本测试板通过跳线帽短路 J5 的两个引脚, 使 VDDL 和 VDDP 连接到一起;
2. VISO_{IN} 和 VISO_{OUT} 须接在一起, VISO_{OUT} 才会建立正常的输出电压, 本测试板直接将 VISO_{IN} 和 VISO_{OUT} 连接到一起。

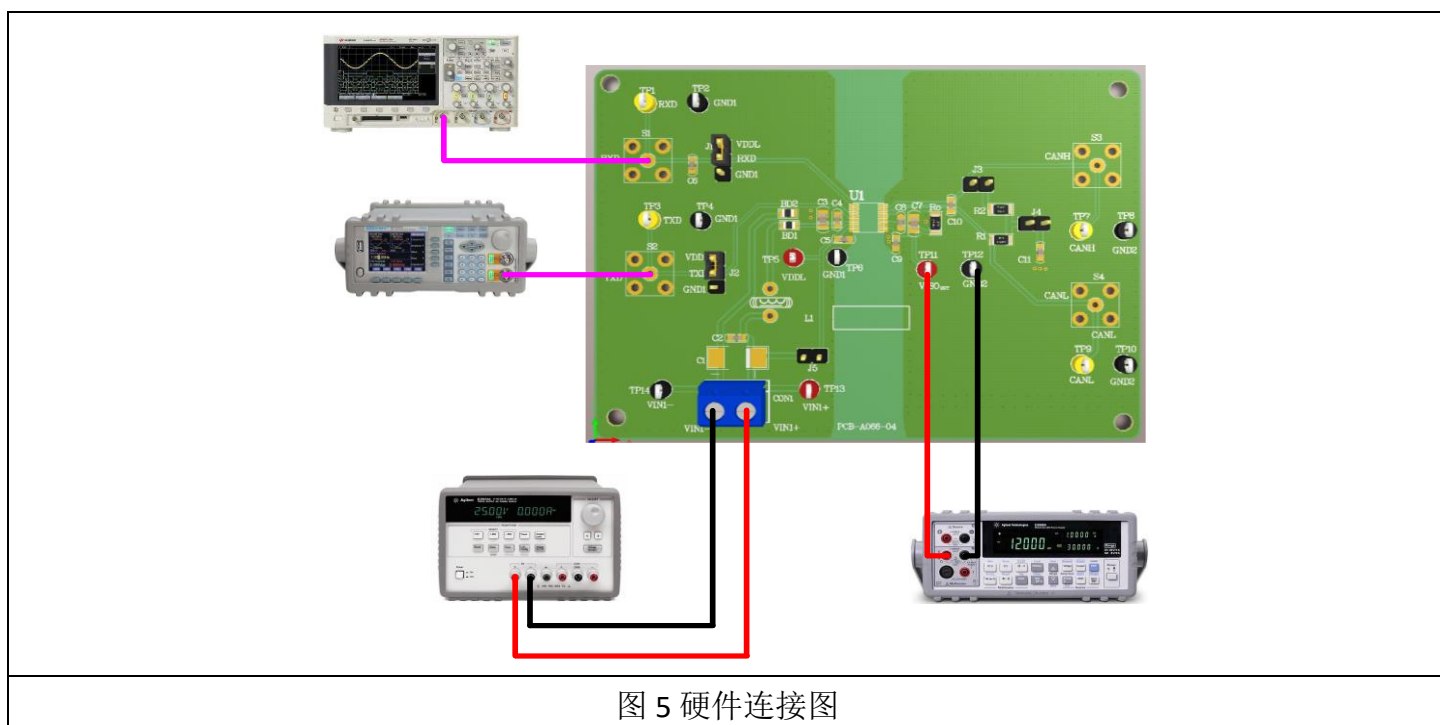


图 5 硬件连接图

测试示例

CA-IS2062A 的典型波形如图 6 和图 7 所示，CAN 收发器信号的传输。



图 6

TXD 输入频率 0.5MHz 占空比 50%的方波，
高电平为 5V，低电平为 0V，VDDP=VDDL=5V

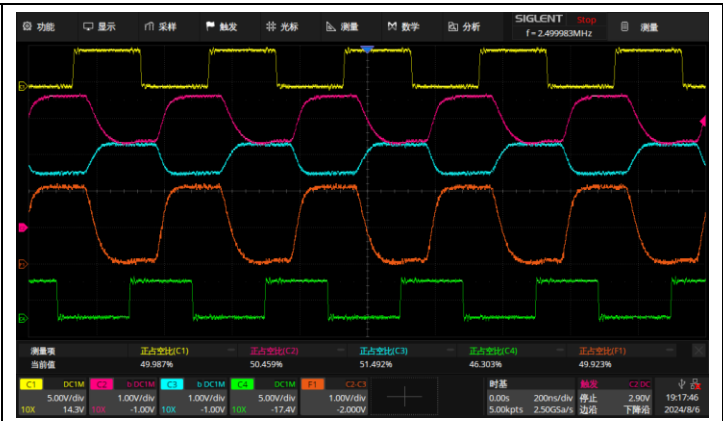


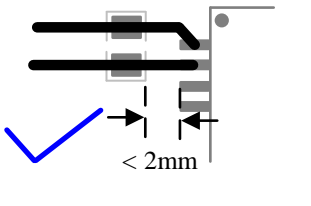
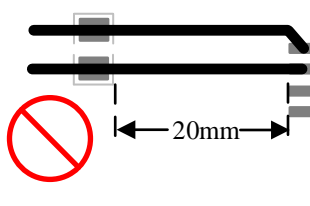
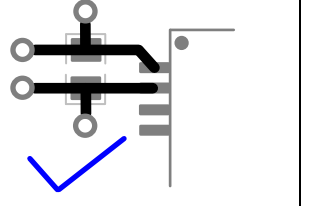
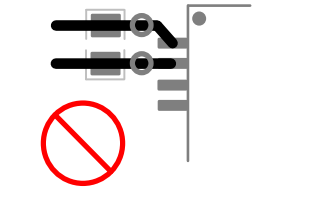
图 7

TXD 输入频率 2.5MHz 占空比 50%的方波，
高电平为 5V，低电平为 0V，VDDP=VDDL=5V

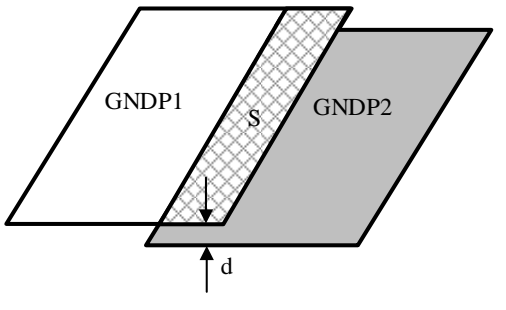
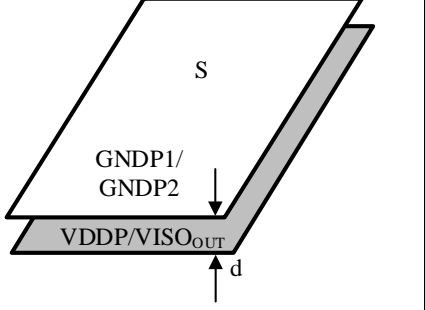
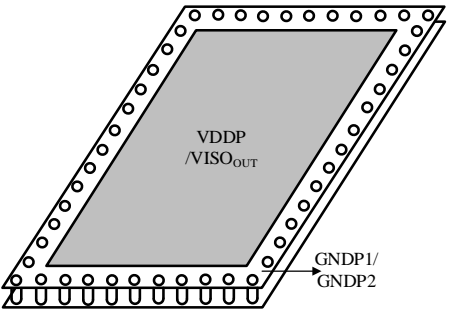
CH1(黄色):V_{TXD}; CH2(红色): V_{CANH}; CH3(蓝色): V_{CANL}; F1(橙色)=V_{CANH} - V_{CANL}; CH4(绿色): V_{RXD}

PCB 布线建议

- CA-IS2062A器件内置开关电源，为副边侧和外部模块提供稳压电源。输入侧 V_{DDP} 和输出侧 $VISO_{OUT}$ 的旁路电容和供电电容的位置放尽可能摆放在靠近芯片的管脚，距离应控制在2mm以内，如下图8和图9所示。当需要在供电电源线和地线中放置过孔，应放置在电容相对于芯片管脚的外侧，而非放置在电容和芯片之间，以减少过孔寄生电感的影响，如下图10和图11所示。

			
图8 推荐	图9 不推荐	图10 推荐	图11 不推荐

- CA-IS2062A器件集成隔离开关电源,存在一定的传导噪声和辐射噪声。适当的PCB拼接电容,对改善传导干扰和辐射干扰有一定的作用。在PCB布线时,可以适当增加原边 $GNDP1$ 和副边 $GNDP2$ 之间的拼接电容以及 $VDDP/VISO_{OUT}$ 对 $GNDP1/GNDP2$ 的拼接电容,如下图12和图13。此外,在PCB边缘处放置一系列间隔距离不大于3mm至4mm的地过孔,形成边缘防护,如下图13所示。

		
图12 原边 $GNDP1$ 和副边 $GNDP2$ 的拼接电容	图13 $VDDP/VISO_{OUT}$ 对 $GNDP1/GNDP2$ 的拼接电容	图14 $VDDP/VISO_{OUT}$ 层四周用地平面包围,地平面外侧放置一系列间距小于4mm的过孔

Revision History

版本	日期	状态描述
Rev1.0	Aug.2024	初始版本

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

<http://www.chipanalog.com>