

## CS817x20/CS817x22 低功耗双通道数字隔离器

### 1. 产品特性

- 超低功耗:
  - 90 $\mu$ A/通道(典型值)@DC (静态电流, 3.3V 供电)
  - 100 $\mu$ A/通道(典型值)@10kbps (3.3V 供电)
  - 160 $\mu$ A/通道(典型值)@200kbps (3.3V 供电)
- 信号传输速率高达 200kbps
- 2.375V 至 5.5V 较宽的供电电压范围
- 高度可靠的电气隔离:
  - 隔离栅寿命: > 40 年
  - 隔离电压高达 3kV<sub>RMS</sub>
  - $\pm 150$  kV/ $\mu$ s 典型 CMTI
  - 施密特触发器输入提高抗干扰能力
  - 较高的电磁抗扰度
- 无需启动初始化
- 宽温工作范围: -40°C 至 105°C
- 默认输出高电平(CS817x2xHS)和默认输出低电平(CS817x2xLS)选项
- 窄体 SOIC8(S)封装, 符合 RoHS 标准

### 2. 典型应用

- 锂电池保护
- 白色家电
- 工业自动化
- 电机控制
- 医疗设备
- 隔离开关电源
- 太阳能逆变器

### 3. 概述

CS817x20HS/LS 与 CS817x22HS/LS 系列产品是低功耗、双通道数字隔离器, 采用川土独有的“Pulse-Coding”(脉冲编码)专利技术, 实现 90  $\mu$  A/通道的超低静态电流设计。这些 CMOS 数字 I/O 隔离器具有高达 3kV<sub>RMS</sub> 的隔离耐压和 $\pm 150$  kV/ $\mu$ s 的典型 CMTI, 提供较高的电磁

抗扰度和超低辐射, 确保数字信号的可靠传输。所有器件均具有施密特触发器输入, 以提高抗噪性能。每路隔离通道的逻辑输入和输出缓冲器由二氧化硅 (SiO<sub>2</sub>) 绝缘栅隔离, 外部仅需要两个 V<sub>DD</sub> 旁路电容, 即可构成完备的数字信号隔离通道。

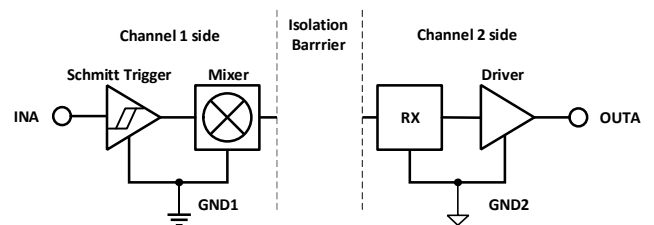
CS817x20/CS817x22 提供了单向、双通道数字 I/O 的所有可能配置。其中, CS817x20HS 和 CS817x20LS 具有两个前向通道; CS817x22HS 和 CS817x22LS 则具有一个前向和一个反向通道。所有器件具有默认输出, 即当输入侧电源掉电或输入信号丢失时, 后缀为 LS 的器件默认输出低电平; 而后缀为 HS 的器件默认输出高电平。请参考 [订购信息表](#), 依照相应的尾缀选择适当型号。

该系列器件基于便捷的隔离架构提供可靠的数据隔离通道, 无需考虑启动初始化问题。下图给出了 CS817x20 和 CS817x22 单个通道的简化框图。CS817x2xHS/LS 系列器件采用 8 引脚窄体 SOIC 封装, 工作温度范围为 -40°C 至 +105°C。

#### 器件信息

器件型号	封装	封装尺寸(标称值)
CS817x20HS CS817x20LS CS817x22HS CS817x22LS	SOIC8-NB(S)	4.90 mm × 3.90 mm

#### 简化框图



注: 通道两侧 (“1” 侧与 “2” 侧) 由电容绝缘栅隔离。  
GND1 和 GND2 分别为 “1” 侧信号和 “2” 侧信号的参考地。

## 4. 订购信息

表 4-1 有效订购型号

型号	输入通道数 “1” 侧	输入通道数 “2” 侧	默认输出	隔离耐压(kV <sub>RMS</sub> )	输出使能	封装
CS817x20LS	2	0	低	3	N/A	SOIC8-NB
CS817x20HS	2	0	高	3	N/A	SOIC8-NB
CS817x22LS	1	1	低	3	N/A	SOIC8-NB
CS817x22HS	1	1	高	3	N/A	SOIC8-NB

## 目录

1. 产品特性.....	1	7.9. 电源电流.....	8
2. 典型应用.....	1	7.10. 时序特性.....	9
3. 概述.....	1	8. 参数测试电路.....	10
4. 订购信息.....	2	9. 详细说明.....	12
5. 修订历史.....	3	9.1. 工作原理.....	12
6. 引脚功能描述.....	4	9.2. 功能框图.....	12
7. 产品规格.....	5	9.3. 数据刷新.....	12
7.1. 绝对最大额定值 <sup>1</sup> .....	5	9.4. 器件工作模式.....	13
7.2. ESD 额定值.....	5	10. 应用信息.....	13
7.3. 建议工作条件.....	5	11. 典型波形及曲线.....	15
7.4. 热阻信息.....	5	12. 封装信息.....	17
7.5. 额定功率.....	5	13. 焊接信息.....	18
7.6. 隔离特性.....	6	14. 卷带信息.....	19
7.7. 相关安全认证.....	7	15. 重要声明.....	20
7.8. 电气特性.....	7		

### 5. 修订历史

修订版本号	修订内容	页码
Version 1.00	N/A	N/A
Version 1.01	删除“同时兼容 TTL 电平”	15
Version 1.02	在 7.9 章节新增电源电流特性表格中的限值最大值， 新增 11 “典型波形及曲线” 章节，后续章节号顺延。	8,9 15
Version 1.03	更新 UL 认证信息及建议焊盘尺寸信息。	7,17
Version 1.04	更新 IEC 60664-1 过压类别标准。	6
Version 1.05	删除 VDE 认证相关信息； 更正数据速率的错误描述。	7 9
Version 1.06	更新 CQC 和 TUV 认证证书 增加 VDE 关于 $V_{IMP}$ 的描述 更新输入阈值 $V_{IT(NI)}$ 的描述	7 6 7

6. 引脚功能描述

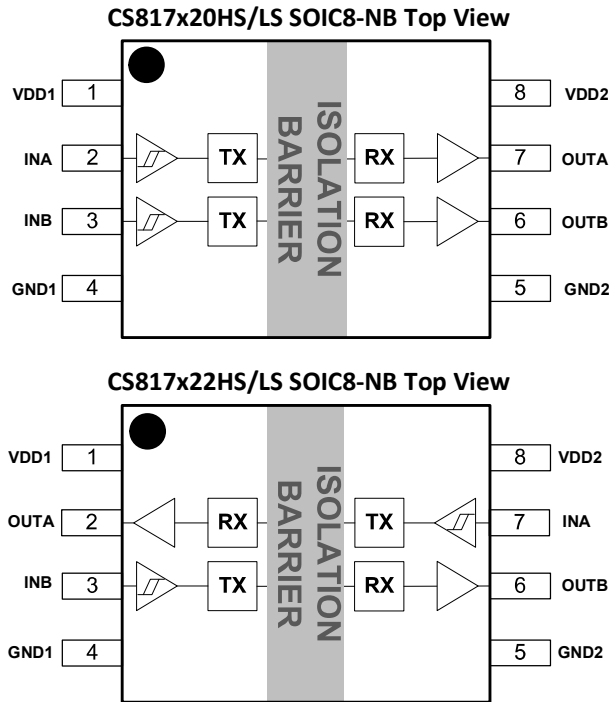


图 6-1 CS817x2xHS/LS SOIC 8 引脚窄体封装顶部视图

表 6-1 CS817x2xHS/LS 引脚功能描述

引脚名称	引脚编号		类型	描述
	CS817x20LS CS817x20HS	CS817x22LS CS817x22HS		
VDD1	1	1	电源	“1”侧电源电压，“1”侧信号的地参考点。
INA	2	7	逻辑 I/O	“1”侧/“2”侧数字输入 A，对应于“2”侧/“1”侧的隔离输出 A。
INB	3	3	逻辑 I/O	“1”侧数字输入 B，对应于“2”侧的逻辑输出 B。
GND1	4	4	地	“1”侧接地参考点。
GND2	5	5	地	“2”侧接地参考点。
OUTB	6	6	逻辑 I/O	“2”侧数字输出 B，OUTB 是对应用“1”侧 INB 逻辑输入的隔离输出。
OUTA	7	2	逻辑 I/O	“2”侧/“1”侧数字输出 A，OUTA 是对应于“1”侧/“2”侧逻辑输入 INA 的隔离输出。
VDD2	8	8	电源	2 侧电源电压，2 侧信号的地参考点。

## 7. 产品规格

### 7.1. 绝对最大额定值<sup>1</sup>

参数		最小值	最大值	单位
V <sub>DD1</sub> , V <sub>DD2</sub>	电源电压 <sup>2</sup>	-0.5	6.0	V
V <sub>in</sub>	输入电压	-0.5	V <sub>DD1</sub> +0.5 <sup>3</sup>	V
I <sub>O</sub>	输出电流	-20	20	mA
T <sub>J</sub>	结温		150	°C
T <sub>STG</sub>	存储温度范围	-65	150	°C

#### 注:

1. 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。
2. 除总线差分输出/输入电压以外，所有电压值均相对于本地接地端（GND1 或 GND2），并且是峰值电压值。
3. 最大电压不得超过 6 V。

### 7.2. ESD 额定值

		数值	单位
V <sub>ESD</sub> 静电放电	人体模型 (HBM), 基于 ANSI/ESDA/JEDEC JS-001, 所有引脚	±5000	V
	组件充电模式(CDM), 基于 JEDEC specification JESD22-C101, 所有引脚	±2000	

### 7.3. 建议工作条件

参数		最小值	典型值	最大值	单位
V <sub>DD1</sub> , V <sub>DD2</sub>	电源电压	2.375	3.3/5.0	5.5	V
I <sub>OH</sub>	高电平输出电流	V <sub>DDO</sub> <sup>1</sup> = 5V		4	mA
		V <sub>DDO</sub> = 3.3V		2	
		V <sub>DDO</sub> = 2.5V		1	
I <sub>OL</sub>	低电平输出电流	V <sub>DDO</sub> = 5V	-4		mA
		V <sub>DDO</sub> = 3.3V	-2		
		V <sub>DDO</sub> = 2.5V	-1		
V <sub>IH</sub>	输入阈值逻辑高电平	0.7 x V <sub>DD1</sub>			V
V <sub>IL</sub>	输入阈值逻辑低电平			0.3 x V <sub>DD1</sub>	V
DR	信号传输速率	0		200	kbps
T <sub>A</sub>	环境温度	-40	25	105	°C

#### 备注:

1. V<sub>DD1</sub> = 输入侧 V<sub>DD</sub>; V<sub>DDO</sub> = 输出侧 V<sub>DD</sub>。

### 7.4. 热阻信息

热量表		CS817x2x HS/LS	单位
		SOIC8-NB(S)	
R <sub>θJA</sub>	IC 结至环境的热阻	110.1	°C/W

### 7.5. 额定功率

参数		测试条件	最小值	典型值	最大值	单位
<b>CS817x20HS/LS</b>						
P <sub>D</sub>	最大功耗	V <sub>DD1</sub> = V <sub>DD2</sub> = 5.5 V, C <sub>L</sub> = 15 pF, T <sub>J</sub> = 150°C, 输入 100kHz、50% 占空比方波			5	mW
P <sub>DA</sub>	"1"侧最大功耗				1	mW
P <sub>DB</sub>	"2"侧最大功耗				4	mW
<b>CS817x22HS/LS</b>						
P <sub>D</sub>	最大功耗	V <sub>DD1</sub> = V <sub>DD2</sub> = 5.5 V, C <sub>L</sub> = 15 pF, T <sub>J</sub> = 150°C, 输入 100kHz、50% 占空比方波			5	mW
P <sub>DA</sub>	"1"侧最大功耗				2.5	mW
P <sub>DB</sub>	"2"侧最大功耗				2.5	mW

**7.6. 隔离特性**

参数		测试条件	数值	单位
			S	
CLR	外部气隙(间隙) <sup>1</sup>	测量输入端至输出端, 隔空最短距离	4	mm
CPG	外部爬电距离 <sup>1</sup>	测量输入端至输出端, 沿壳体最短距离	4	mm
DTI	隔离距离	最小内部间隙(内部距离)	>15	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>400	V
	材料组	依据 IEC 60664-1	I	
IEC 60664-1 过压类别		额定市电电压 ≤ 150 V <sub>RMS</sub>	I-IV	
		额定市电电压 ≤ 300 V <sub>RMS</sub>	I-III	
		额定市电电压 ≤ 600 V <sub>RMS</sub>	NA	
<b>DIN V VDE V 0884-17:2021-10<sup>2</sup></b>				
V <sub>IORM</sub>	最大重复峰值隔离电压	交流电压(双极)	566	V <sub>PK</sub>
V <sub>IOWM</sub>	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	400	V <sub>RMS</sub>
		直流电压	566	V <sub>DC</sub>
V <sub>IOTM</sub>	最大瞬态隔离电压	V <sub>TEST</sub> = V <sub>IOTM</sub> , t = 60 s (认证); V <sub>TEST</sub> = 1.2 × V <sub>IOTM</sub> , t = 1 s (100% 产品测试)	4242	V <sub>PK</sub>
V <sub>IMP</sub>	最大脉冲电压	测试方法根据 IEC 62368-1, 1.2/50μs 波形	6250	V <sub>PK</sub>
V <sub>IOSM</sub>	最大浪涌隔离电压 <sup>3</sup>	测试方法 依据 IEC 62368-1, 1.2/50 μs 波形, V <sub>TEST</sub> = 1.6 × V <sub>IOSM</sub>	4000	V <sub>PK</sub>
Q <sub>pd</sub>	表征电荷 <sup>4</sup>	方法 a, 输入/输出安全测试子类 2/3 后, V <sub>ini</sub> = V <sub>IOTM</sub> , t <sub>ini</sub> = 60 s; V <sub>pd(m)</sub> = 1.2 × V <sub>IORM</sub> , t <sub>m</sub> = 10 s	≤5	pC
		方法 a, 环境测试子类 1 后, V <sub>ini</sub> = V <sub>IOTM</sub> , t <sub>ini</sub> = 60 s; V <sub>pd(m)</sub> = 1.6 × V <sub>IORM</sub> , t <sub>m</sub> = 10 s	≤5	
		方法 b1, 常规测试 (100% 生产测试) 和前期 预处理 V <sub>ini</sub> = 1.2 × V <sub>IOTM</sub> , t <sub>ini</sub> = 1 s; V <sub>pd(m)</sub> = 1.875 × V <sub>IORM</sub> , t <sub>m</sub> = 1 s	≤5	
C <sub>IO</sub>	栅电容, 输入到输出 <sup>5</sup>	V <sub>IO</sub> = 0.4 × sin(2πft), f = 1 MHz	~0.5	pF
R <sub>IO</sub>	绝缘电阻 <sup>5</sup>	V <sub>IO</sub> = 500 V, T <sub>A</sub> = 25°C	>10 <sup>12</sup>	Ω
		V <sub>IO</sub> = 500 V, 100°C ≤ T <sub>A</sub> ≤ 105°C	>10 <sup>11</sup>	
		V <sub>IO</sub> = 500 V at T <sub>S</sub> = 150°C	>10 <sup>9</sup>	
	污染度		2	
<b>UL 1577</b>				
V <sub>ISO</sub>	最大隔离电压	V <sub>TEST</sub> = V <sub>ISO</sub> , t = 60 s (认证), V <sub>TEST</sub> = 1.2 × V <sub>ISO</sub> , t = 1 s (100% 生产测试)	3000	V <sub>RMS</sub>
<b>注:</b>				
1. 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。 2. 该标准仅适用于最大工作额定值范围内的安全电气隔离, 应通过适当的保护电路确保遵守安全等级要求。 3. 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。 4. 表征电荷是由局部放电引起的放电电荷(pd)。 5. 绝缘栅两侧的所有引脚连接在一起, 构成双端器件。				

## 7.7. 相关安全认证

UL	CQC	TUV
UL1577 器件认证程序认证	根据 GB4943.1-2022 认证	根据 EN 61010-1 和 EN 62368-1 认证
Single Protection: 3000Vrms	Basic insulation (Altitude ≤ 5000 m)	EN 61010-1 3000V <sub>RMS</sub> EN 62368-1 3000V <sub>RMS</sub>
证书编号: E511334	证书编号: CQC24001452685	客户参考编号: 2253313

## 7.8. 电气特性

 $V_{DD1} = V_{DD2} = 5.0\text{ V} \pm 10\%$ ,  $T_A = -40$  to  $105^\circ\text{C}$ 

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$ 逻辑高电平输出电压	$I_{OH} = -4\text{mA}$ ; 图 8-1	$V_{DDO}^{1-0.5}$	4.7		V
$V_{OL}$ 逻辑低电平输出电压	$I_{OL} = 4\text{mA}$ ; 图 8-1		0.3	0.4	V
$V_{IT+(IN)}$ 高电平输入阈值		$0.7 \times V_{DDI}$			V
$V_{IT-(IN)}$ 低电平输入阈值				$0.3 \times V_{DDI}$	V
$V_{I(HYS)}$ 输入阈值迟滞		$0.1 \times V_{DDI}$			V
$I_{IH}$ 高电平输入漏电流	$V_{IH} = V_{DDI}$ at INx			1	$\mu\text{A}$
$I_{IL}$ 低电平输入漏电流	$V_{IL} = 0\text{ V}$ at INx	-1			$\mu\text{A}$
CMTI 共模瞬态抑制	$V_i = V_{DDI}^1$ or $0\text{ V}$ , $V_{CM} = 1500\text{ V}$ ; 图 8-3	100	150		$\text{kV}/\mu\text{s}$
$C_i$ 输入电容 <sup>2</sup>	$V_i = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 1\text{ MHz}$ , $V_{DD} = 5.0\text{ V}$		2		pF

备注:

- $V_{DDI}$  = 输入侧  $V_{DD}$ ,  $V_{DDO}$  = 输出侧  $V_{DD}$ 。
- 从引脚到地测量。

 $V_{DD1} = V_{DD2} = 3.3\text{ V} \pm 10\%$ ,  $T_A = -40$  to  $105^\circ\text{C}$ 

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$ 逻辑高电平输出电压	$I_{OH} = -4\text{mA}$ ; 图 8-1	$V_{DDO}^{1-0.5}$	3.0		V
$V_{OL}$ 逻辑低电平输出电压	$I_{OL} = 4\text{mA}$ ; 图 8-1		0.3	0.4	V
$V_{IT+(IN)}$ 高电平输入阈值		$0.7 \times V_{DDI}$			V
$V_{IT-(IN)}$ 低电平输入阈值				$0.3 \times V_{DDI}$	V
$V_{I(HYS)}$ 输入阈值迟滞		$0.1 \times V_{DDI}$			V
$I_{IH}$ 高电平输入漏电流	$V_{IH} = V_{DDI}$ at INx			1	$\mu\text{A}$
$I_{IL}$ 低电平输入漏电流	$V_{IL} = 0\text{ V}$ at INx	-1			$\mu\text{A}$
CMTI 共模瞬态抑制	$V_i = V_{DDI}^1$ or $0\text{ V}$ , $V_{CM} = 1500\text{V}$ ; 图 8-3	100	150		$\text{kV}/\mu\text{s}$
$C_i$ 输入电容 <sup>2</sup>	$V_i = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 1\text{ MHz}$ , $V_{DD} = 3.3\text{ V}$		2		pF

注:

- $V_{DDI}$  = 输入侧  $V_{DD}$ ,  $V_{DDO}$  = 输出侧  $V_{DD}$ 。
- 从引脚到地测量。

 $V_{DD1} = V_{DD2} = 2.5\text{ V} \pm 5\%$ ,  $T_A = -40$  to  $105^\circ\text{C}$ 

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$ 逻辑高电平输出电压	$I_{OH} = -4\text{mA}$ ; 图 8-1	$V_{DDO}^{1-0.5}$	2.2		V
$V_{OL}$ 逻辑低电平输出电压	$I_{OL} = 4\text{mA}$ ; 图 8-1		0.2	0.4	V
$V_{IT+(IN)}$ 高电平输入阈值		$0.7 \times V_{DDI}$			V
$V_{IT-(IN)}$ 低电平输入阈值				$0.3 \times V_{DDI}$	V
$V_{I(HYS)}$ 输入阈值迟滞		$0.1 \times V_{DDI}$			V
$I_{IH}$ 高电平输入漏电流	$V_{IH} = V_{DDI}$ at INx			1	$\mu\text{A}$
$I_{IL}$ 低电平输入漏电流	$V_{IL} = 0\text{ V}$ at INx	-1			$\mu\text{A}$
CMTI 共模瞬态抑制	$V_i = V_{DDI}^1$ or $0\text{ V}$ , $V_{CM} = 1500\text{ V}$ ; 图 8-3	100	150		$\text{kV}/\mu\text{s}$
$C_i$ 输入电容 <sup>2</sup>	$V_i = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 1\text{ MHz}$ , $V_{DD} = 2.5\text{ V}$		2		pF

注:

- $V_{DDI}$  = 输入侧  $V_{DD}$ ,  $V_{DDO}$  = 输出侧  $V_{DD}$ 。
- 从引脚到地测量。

## CS817x20, CS817x22

Version 1.06

上海川土微电子有限公司

### 7.9. 电源电流

$V_{DD1} = V_{DD2} = 5.0\text{ V} \pm 10\%$ ,  $T_A = -40\text{ to }105^\circ\text{C}$

参数	测试条件	电源电流	最小值	典型值	最大值	单位	
<b>CS817x20HS/LS</b>							
电源电流 – 直流信号	$V_{IN} = 0\text{V}$ (CS817x20LS); $V_{IN} = V_{DD1}$ (CS817x20HS)	$I_{DDA}$		30	60	$\mu\text{A}$	
		$I_{ddb}$		170	340		
	$V_{IN} = V_{DD1}$ (CS817x20LS); $V_{IN} = 0\text{V}$ (CS817x20HS)	$I_{DDA}$		40	80		
		$I_{ddb}$		170	340		
电源电流 – 交流信号	所有通道输入 50% 占空比、幅值为 5V 的方波；每个通道 $C_L = 15\text{ pF}$	10kbps (5kHz)	$I_{DDA}$		45		90
		200kbps (100kHz)	$I_{DDA}$		180		360
			$I_{ddb}$		180		360
		$I_{ddb}$		300	600		
<b>CS817x22HS/LS</b>							
电源电流 – 直流信号	$V_{IN} = 0\text{V}$ (CS817x22LS); $V_{IN} = V_{DD1}$ (CS817x22HS)	$I_{DDA}$		100	200	$\mu\text{A}$	
		$I_{ddb}$		105	210		
	$V_{IN} = V_{DD1}$ (CS817x22LS); $V_{IN} = 0\text{V}$ (CS817x22HS)	$I_{DDA}$		100	200		
		$I_{ddb}$		105	210		
电源电流 – 交流信号	所有通道输入 50% 占空比、幅值为 5V 的方波；每个通道 $C_L = 15\text{ pF}$	10kbps (5kHz)	$I_{DDA}$		105		210
		200kbps (100kHz)	$I_{DDA}$		110		220
			$I_{ddb}$		215		430
		$I_{ddb}$		220	440		
<b>注:</b>							
1. $V_{DD1}$ = 输入侧 $V_{DD}$ 。							

$V_{DD1} = V_{DD2} = 3.3\text{ V} \pm 10\%$ ,  $T_A = -40\text{ to }105^\circ\text{C}$

参数	测试条件	电源电流	最小值	典型值	最大值	单位	
<b>CS817x20HS/LS</b>							
电源电流 – 直流信号	$V_{IN} = 0\text{V}$ (CS817x20LS); $V_{IN} = V_{DD1}$ (CS817x20HS)	$I_{DDA}$		25	50	$\mu\text{A}$	
		$I_{ddb}$		155	310		
	$V_{IN} = V_{DD1}$ (CS817x20LS); $V_{IN} = 0\text{V}$ (CS817x20HS)	$I_{DDA}$		30	60		
		$I_{ddb}$		160	320		
电源电流 – 交流信号	所有通道输入 50% 占空比、幅值为 5V 的方波；每个通道 $C_L = 15\text{ pF}$	10kbps (5kHz)	$I_{DDA}$		35		70
		200kbps (100kHz)	$I_{DDA}$		165		330
			$I_{ddb}$		115		230
		$I_{ddb}$		235	470		
<b>CS817x22HS/LS</b>							
电源电流 – 直流信号	$V_{IN} = 0\text{V}$ (CS817x22LS); $V_{IN} = V_{DD1}$ (CS817x22HS)	$I_{DDA}$		90	180	$\mu\text{A}$	
		$I_{ddb}$		95	190		
	$V_{IN} = V_{DD1}$ (CS817x22LS); $V_{IN} = 0\text{V}$ (CS817x22HS)	$I_{DDA}$		90	180		
		$I_{ddb}$		95	190		
电源电流 – 交流信号	所有通道输入 50% 占空比、幅值为 5V 的方波；每个通道 $C_L = 15\text{ pF}$	10kbps (5kHz)	$I_{DDA}$		95		190
		200kbps (100kHz)	$I_{DDA}$		100		200
			$I_{ddb}$		160		320
		$I_{ddb}$		165	330		
<b>注:</b>							
1. $V_{DD1}$ = 输入侧 $V_{DD}$ 。							



$V_{DD1} = V_{DD2} = 2.5\text{ V} \pm 5\%$ ,  $T_A = -40\text{ to }105^\circ\text{C}$ 

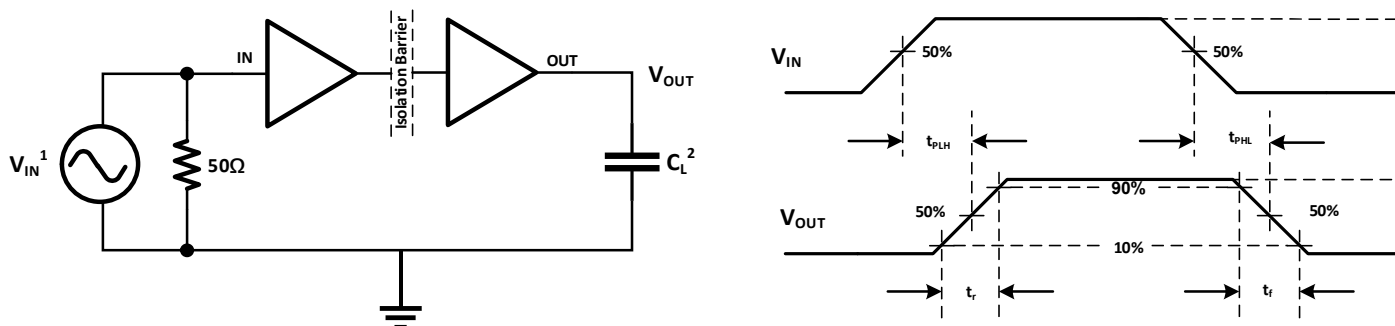
参数	测试条件	电源电流	最小值	典型值	最大值	单位
<b>CS817x20HS/LS</b>						
电源电流 – 直流信号	$V_{IN} = 0\text{V}$ (CS817x20LS); $V_{IN} = V_{DD1}$ (CS817x20HS)	$I_{DDA}$	25	50	$\mu\text{A}$	
		$I_{ddb}$	150	300		
	$V_{IN} = V_{DD1}$ (CS817x20LS); $V_{IN} = 0\text{V}$ (CS817x20HS)	$I_{DDA}$	35	70		
		$I_{ddb}$	155	310		
电源电流 – 交流信号	所有通道输入 50% 占空比、幅值为 5V 的方波；每个通道 $C_L = 15\text{ pF}$	10kbps (5kHz)	$I_{DDA}$	30	60	
		200kbps (100kHz)	$I_{ddb}$	155	310	
			$I_{DDA}$	40	80	
		$I_{ddb}$	180	360		
<b>CS817x22HS/LS</b>						
电源电流 – 直流信号	$V_{IN} = 0\text{V}$ (CS817x22LS); $V_{IN} = V_{DD1}$ (CS817x22HS)	$I_{DDA}$	90	180	$\mu\text{A}$	
		$I_{ddb}$	95	190		
	$V_{IN} = V_{DD1}$ (CS817x22LS); $V_{IN} = 0\text{V}$ (CS817x22HS)	$I_{DDA}$	90	180		
		$I_{ddb}$	95	190		
电源电流 – 交流信号	所有通道输入 50% 占空比、幅值为 5V 的方波；每个通道 $C_L = 15\text{ pF}$	10kbps (5kHz)	$I_{DDA}$	90	180	
		200kbps (100kHz)	$I_{ddb}$	95	190	
			$I_{DDA}$	145	290	
		$I_{ddb}$	150	300		
<b>注:</b>						
1. $V_{DD1}$ = 输入侧 $V_{DD}$ 。						

## 7.10. 时序特性

 $V_{DD1} = V_{DD2} = 2.5\text{V} \sim 5.5\text{V}$ ,  $T_A = -40\text{ to }105^\circ\text{C}$ 

参数	测试说明	最小值	典型值	最大值	单位
DR 数据速率				200	kbps
$PW_{min}$ 最小脉宽		5			$\mu\text{s}$
$t_{PLH}, t_{PHL}$ 传输延迟	图 8-1		1.1	2	$\mu\text{s}$
PWD 脉冲宽度失真 $ t_{PLH} - t_{PHL} $				100	ns
$t_{sk(o)}$ 通道之间输出时间偏差 <sup>1</sup>	同方向通道			100	ns
$t_{sk(pp)}$ 芯片之间通道输出的时间偏差 <sup>2</sup>				300	ns
$t_r$ 输出上升时间	图 8-1		2.8	5.0	ns
$t_f$ 输出下降时间	图 8-1		2.8	5.0	ns
$t_{DO}$ 默认输出延迟时间	CL 负载电容约为 15pF，包括仪表等连线的等效电容。由于负载电容会影响输出上升时间，它是时序特性测量的关键因素。 图 8-2		400	600	$\mu\text{s}$
$t_{PU}$ 启动时间			50		$\mu\text{s}$
$F_R$ 刷新速率			20		kbps
<b>注:</b>					
1. $t_{sk(o)}$ 是当所有通道输入连接在一起，输出在驱动相同负载时，同一器件沿相同方向切换的输出信号之间的偏差；					
2. $t_{sk(pp)}$ 是指工作在相同的电源电压、温度、输入信号和负载条件下的不同器件，任意端点之间在相同方向切换时的传输延迟时间的偏差。					

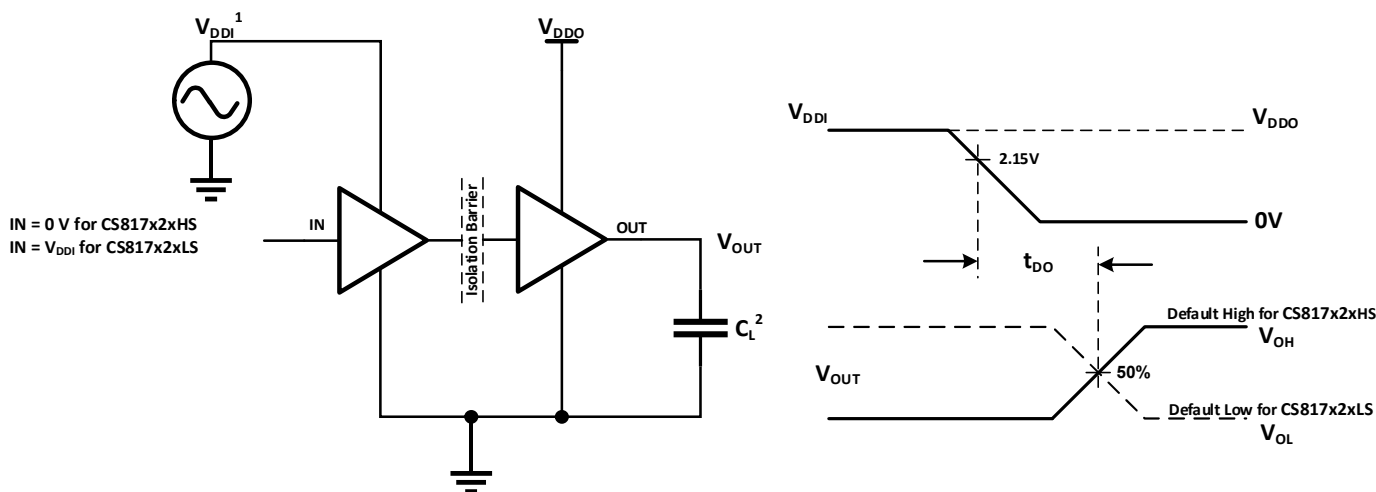
8. 参数测试电路



注:

1. 信号发生器产生的输入信号  $V_{IN}$  具有以下约束条件：频率  $\leq 100\text{kHz}$ ，占空比 50%， $t_r \leq 3\text{ns}$ ， $t_f \leq 3\text{ns}$ 。由于波形发生器的输出阻抗  $Z_{out} = 50\Omega$ ，图中采用了  $50\Omega$  匹配电阻。在实际应用中并不需要该电阻。
2.  $C_L$  负载电容约为  $15\text{pF}$ ，包括仪表等连线的等效电容。由于负载电容会影响输出上升时间，它是时序特性测量的关键因素。

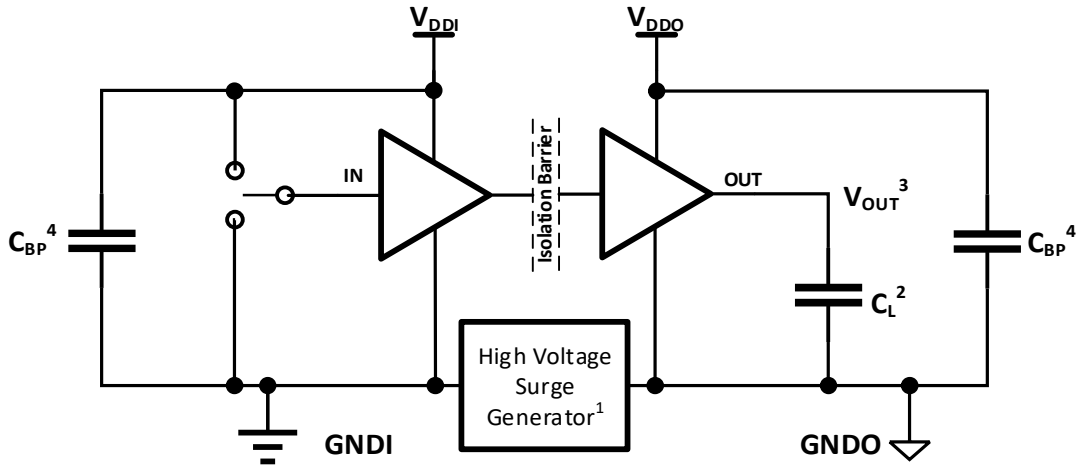
图 8-1 时序特性测试电路和电压波形



注:

1. 电源爬升速率 =  $10\text{mV/ns}$ 。  $V_{DDI}$  应大于  $2.375\text{V}$ ，但不高于  $5.5\text{V}$ 。
2.  $C_L$  负载电容约为  $15\text{pF}$ ，包括仪表等连线的等效电容。由于负载电容会影响输出上升时间，它是时序特性测量的关键因素。

图 8-2 默认输出延迟时间测试电路和电压波形



注:

1. 高压浪涌脉冲发生器产生振幅 > 1kV，上升/下降时间 < 10ns，压摆率 > 150kV/μs 的高压重复脉冲。
2.  $C_L$  负载电容约为 15pF，包括仪表等连线的等效电容。
3. 通过 - 失败测试标准：每当高压浪涌到来时，输出必须保持稳定。
4.  $C_{BP}$  是 1μF 旁路电容。

图 8-3 共模瞬态抑制(CMTI)测试电路

## 9. 详细说明

### 9.1. 工作原理

CS817x2xHS/LS 系列产品采用 8 引脚 SOIC 封装，具有至少 4mm 的爬电距离和气隙间隔，提供高达 3kV<sub>RMS</sub> 的电气隔离。借助川土专有的脉冲编码技术，这些双通道数字隔离器为用户提供超低功耗、较强的电磁辐射抑制以及稳定的温度特性。该系列器件的最高数据速率为 200kbps，用于隔离不同的电源域，阻断高压或大电流瞬态干扰，为噪声敏感应用及人机接口提供可靠保护。CS817x20HS/LS 的两个数字隔离通道向同一方向传输数字信号，而 CS817x22HS/LS 的两个数字通道则分别向两个不同方向传输数字信号，能够满足双通道数字隔离 I/O 的应用需求。该系列数字隔离器均包含两个电源输入( $V_{DD1}$ 、 $V_{DD2}$ )，可单独设置绝缘栅两侧数字信号的逻辑电平。 $V_{DD1}$  和  $V_{DD2}$  分别以 GND1、GND2 为参考，两路电源较宽的供电电压范围，使得这些数字隔离器在提供数字隔离的同时，也提供了电平转换功能。

CS817x2xHS/LS 双通道数字隔离器由于采用全差分电容隔离技术，在不同的电压域之间构建了可靠的高频信号传输通道，并且不需要任何特殊的上电初始化操作，简化用户设计。先进的全差分架构提供较高的共模瞬态抑制(CMTI)，同时也使得高频载波以及 I/O 缓冲器的开关操作所引起的电磁辐射降至最低，在提供超低功耗的同时，也为设计提供超强抗噪能力。器件内部还集成了刷新电路，当输入信号长时间保持在同一状态时，确保输出与输入保持精准一致。CS817x20HS/CS817x22HS 器件提供默认高电平输出；CS817x20LS/CS817x22LS 则提供默认低电平输出。当输入尚未供电或开路时，将数字隔离器输出置于默认电平。

### 9.2. 功能框图

CS817x2xHS/LS 数字隔离器采用边沿检测电路，能够检测到很小的脉冲信号输入，并将检测到的边沿信号进行特殊的编码处理，使得编码信号可以很容易地通过电容隔离栅传输到接收侧。接收侧则将编码调制信号恢复成与输入一致的数字信号，经驱动缓冲电路输出。与采用变压器隔离的数字隔离器相比，基于电容隔离技术的 CS817x2xHS/LS 能够大幅降低传输延时和信号抖动，支持更高的数据速率，并具有较低的电磁辐射。图 9-1 为 CS817x20/CS817x22 器件内部的单个通道的功能框图。

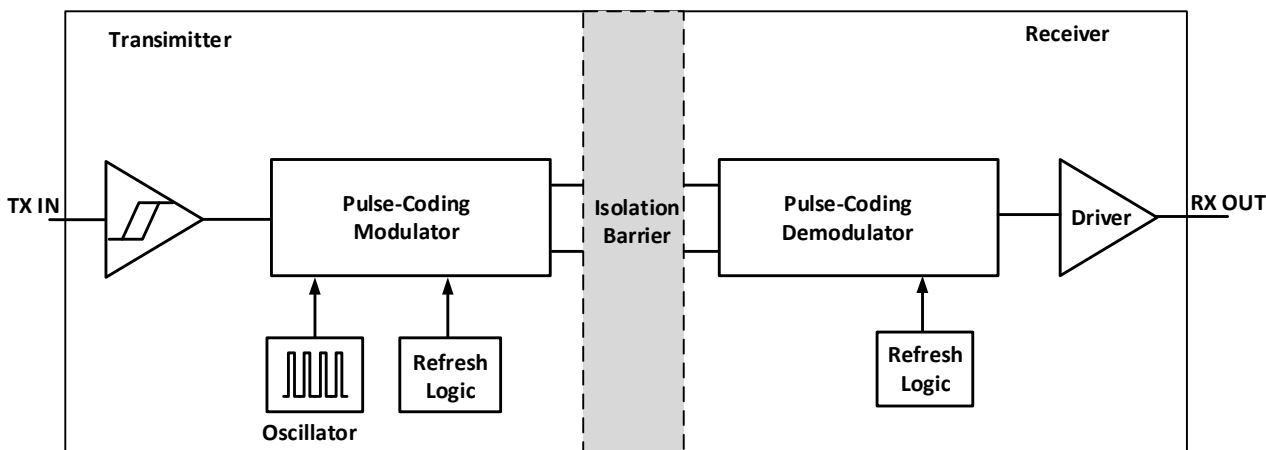


图 9-1 单通道功能框图

### 9.3. 数据刷新

CS817x2xHS/LS 系列低功耗数字隔离器采用川土独有的脉冲编码专利技术，使信号跨过电容绝缘栅实现可靠的隔离传输。芯片内部包含数据刷新电路，以确保直流输出信号与直流输入信号保持一致。内部看门狗计数器连续监测每个通道的输入信号，如果在 50 $\mu$ s 内没有输入信号则会自动刷新一次数据，确保输出信号与输入信号相同。

#### 9.4. 器件工作模式

CS817X20/CS817X22 器件在启动和常态工作时的输入、输出状态如表 9-1 所示；另外，该表还给出了  $V_{DD}$  未上电时，器件的输出状态。

表 9-1 工作模式<sup>1</sup>

$V_{DDI}$	$V_{DDO}$	输入(INx) <sup>2</sup>	输出(OUTx)	工作模式
PU	PU	H	H	正常运行模式： 通道输出跟随相应通道的输入状态。
		L	L	
		开路	默认输出	默认输出模式： 当通道输入 INx 开路时，对应通道的输出进入其默认状态。CS817x2_HS 的默认输出为高电平，CS817x2_LS 的默认输出为低电平。
PD	PU	X	默认输出	默认输出模式： 如果输入侧 $V_{DDI}$ 未上电，对应通道的输出进入其默认状态。CS817x2_HS 的默认输出为高电平，CS817x2_LS 的默认输出为低电平。
X	PD	X	不确定	如果输出侧 $V_{DDO}$ 未上电，则通道输出状态不确定。

备注：

- $V_{DDI}$  = 输入侧  $V_{DD}$ ;  $V_{DDO}$  = 输出侧  $V_{DD}$ ; PU = 上电( $V_{DD} \geq 2.375V$ ); PD = 断电( $V_{DD} < 2.375V$ ); X = 无关; H = 高电平; L = 低电平; Z = 高阻。
- 强驱动的输入信号可以通过内部保护二极管微弱地驱动浮空的  $V_{DD}$ ，从而导致输出不确定。

## 10. 应用信息

CS817x2xHS/LS 隔离 IC 在两个电源域之间提供可靠的电气隔离，由于阻断了接地回路，能够在具有较高地电位差、较高共模干扰或故障电压的系统中，提供可靠保护。该系列产品的数字输入电平由  $V_{DDI}$  确定，兼容于 CMOS 逻辑，并提供满摆幅输出，无需额外的缓冲驱动器。相比于光耦隔离技术，CS817x2xHS/LS 系列数字隔离器不需要外部元件提供偏置或限流，只需要两个外部旁路电容(1 $\mu$ F)即可保证可靠工作。因此，这一高性能、设计简便的数字隔离方案正在越来越多的应用场景中逐步取代光耦隔离方案。图 10-1 给出了 CS817x22HS/LS 的典型应用电路，图 10-2 为 CS817x20HS/LS 的典型应用电路。

为了减小纹波，降低干扰，设计中  $V_{DD1}$  与 GND1 之间， $V_{DD2}$  与 GND2 之间分别安装一个至少 1 $\mu$ F 的低 ESR 电容。旁路电容应紧靠器件的电源引脚放置。除此之外，建议使用尽可能短的输入、输出信号线，不要在信号线上使用过孔，以尽可能减小信号线上的寄生电感。隔离器下方不要布设任何地线或信号线，介于“1”侧和“2”侧之间的任何电气或金属连线都会破坏隔离耐压。PCB 设计工程师应遵循这些基本要求，以获得最佳的数字隔离性能。

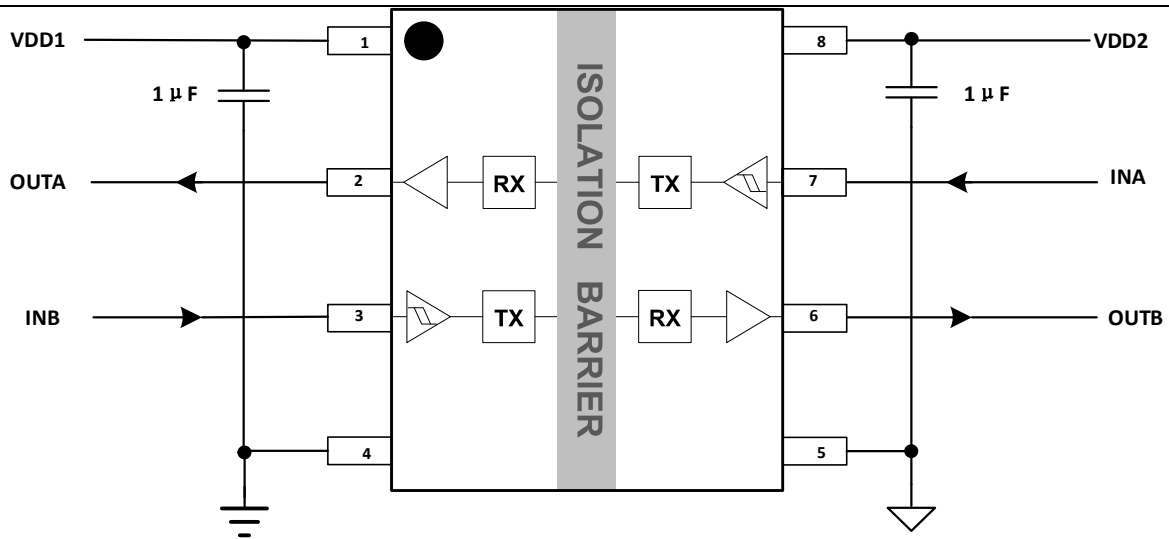


图 10- 1 CS817x22HS/LS 典型应用电路

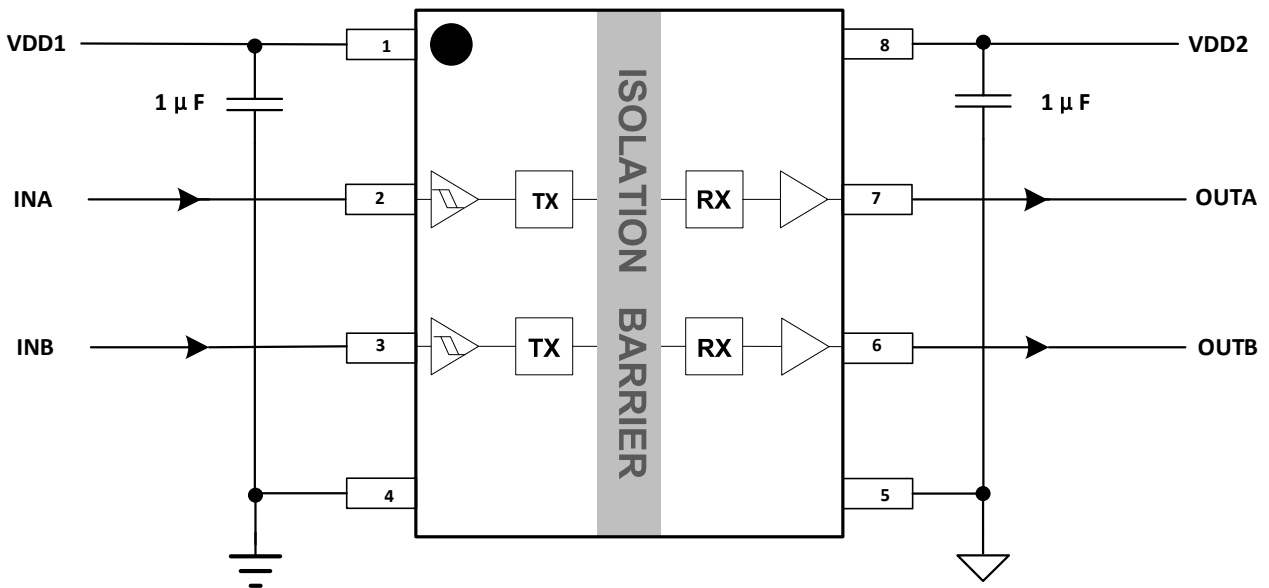
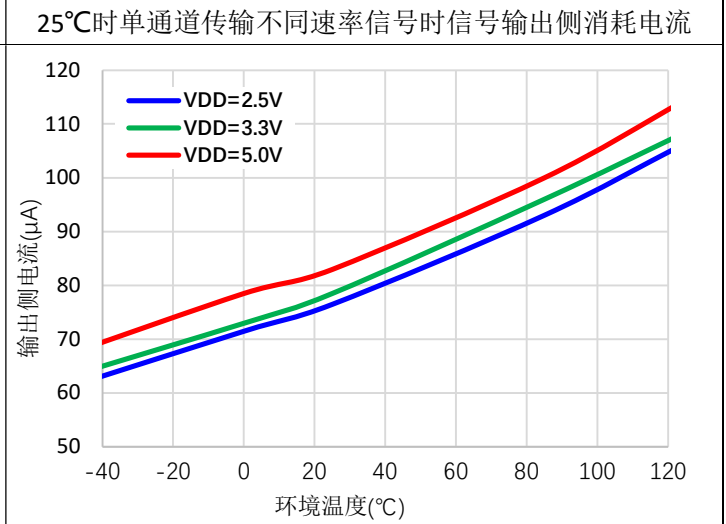
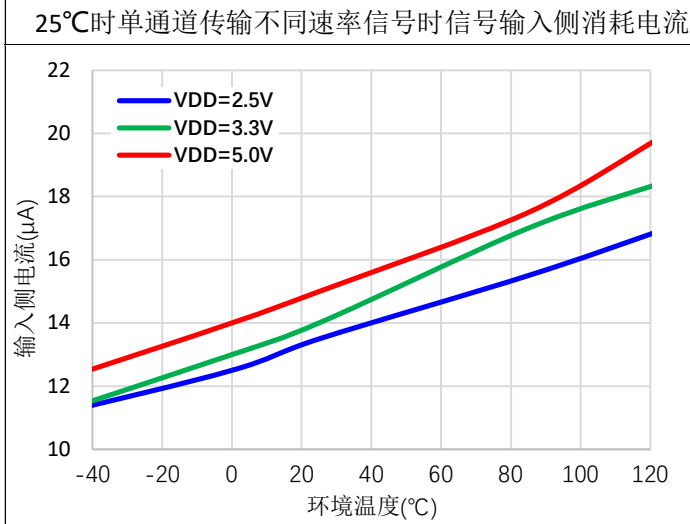
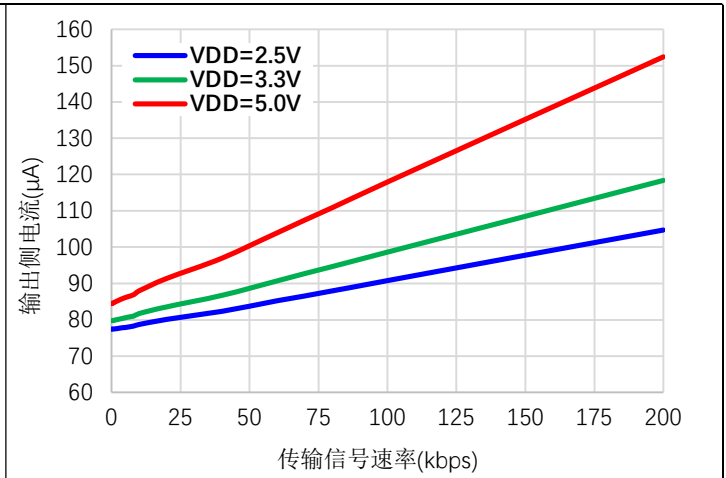
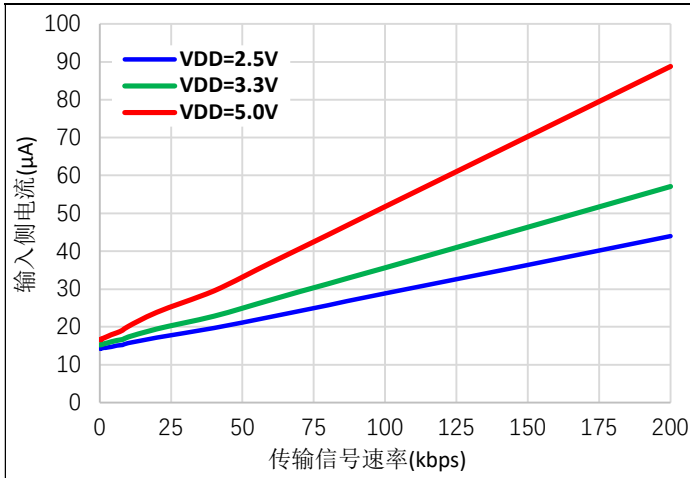


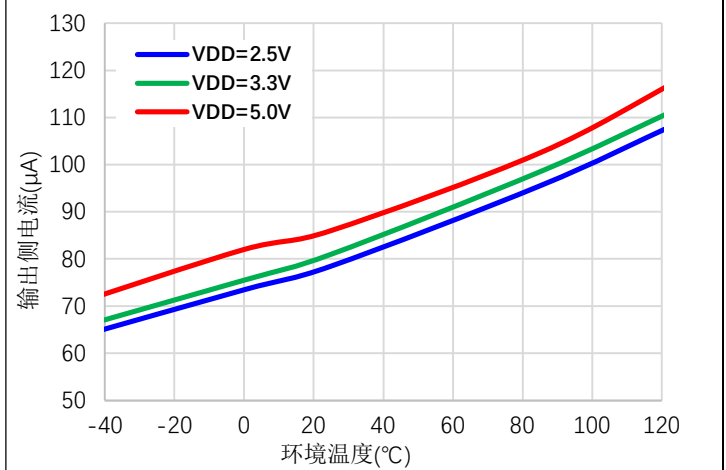
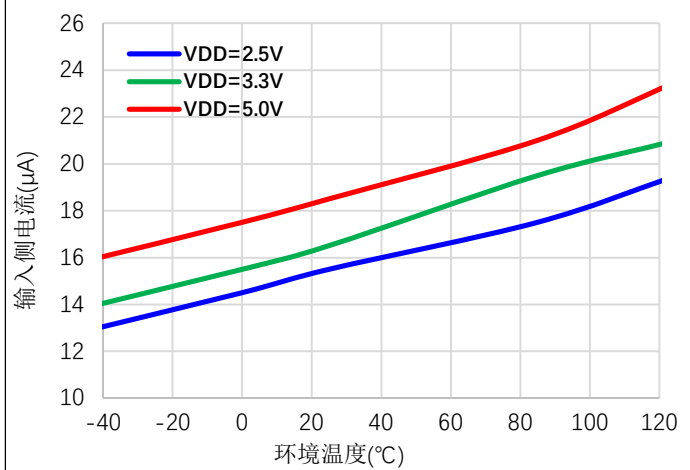
图 10- 2 CS817x20HS/LS 典型应用电路

11. 典型波形及曲线



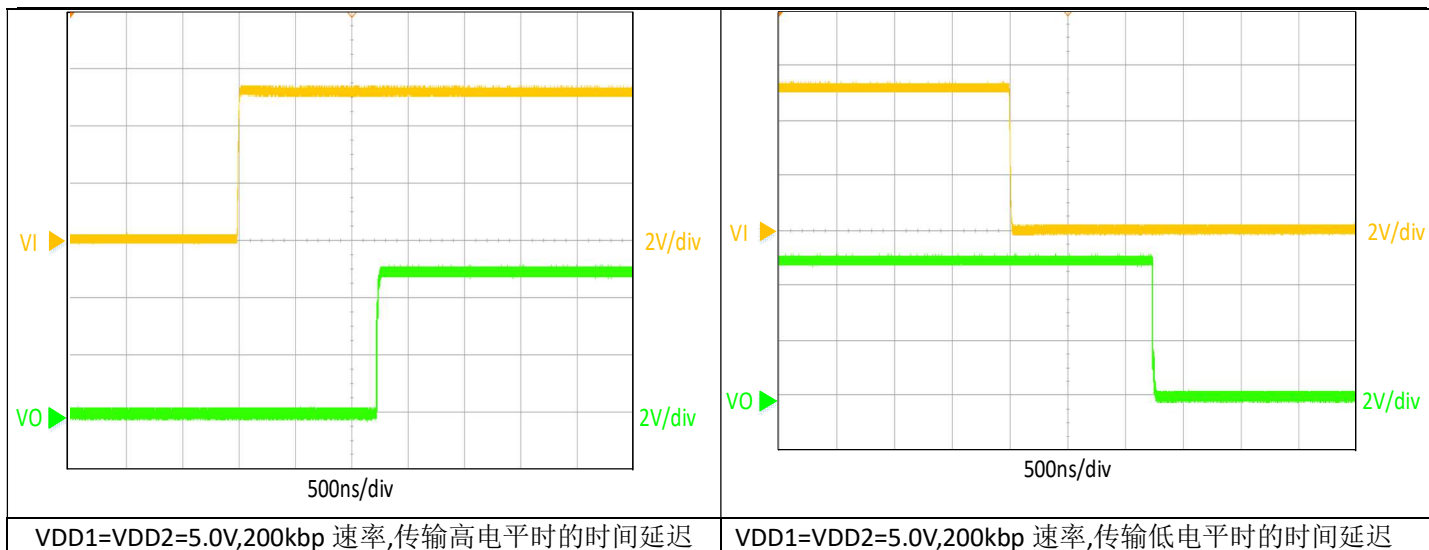
不同温度下单通道输入侧消耗电流  
CS817x2xHS,VI=H;CS817x2xLS,VI=L

不同温度下单通道输出侧消耗电流  
CS817x2xHS,VI=H;CS817x2xLS,VI=L



不同温度下单通道输入侧消耗电流  
CS817x2xHS,VI=L;CS817x2xLS,VI=H

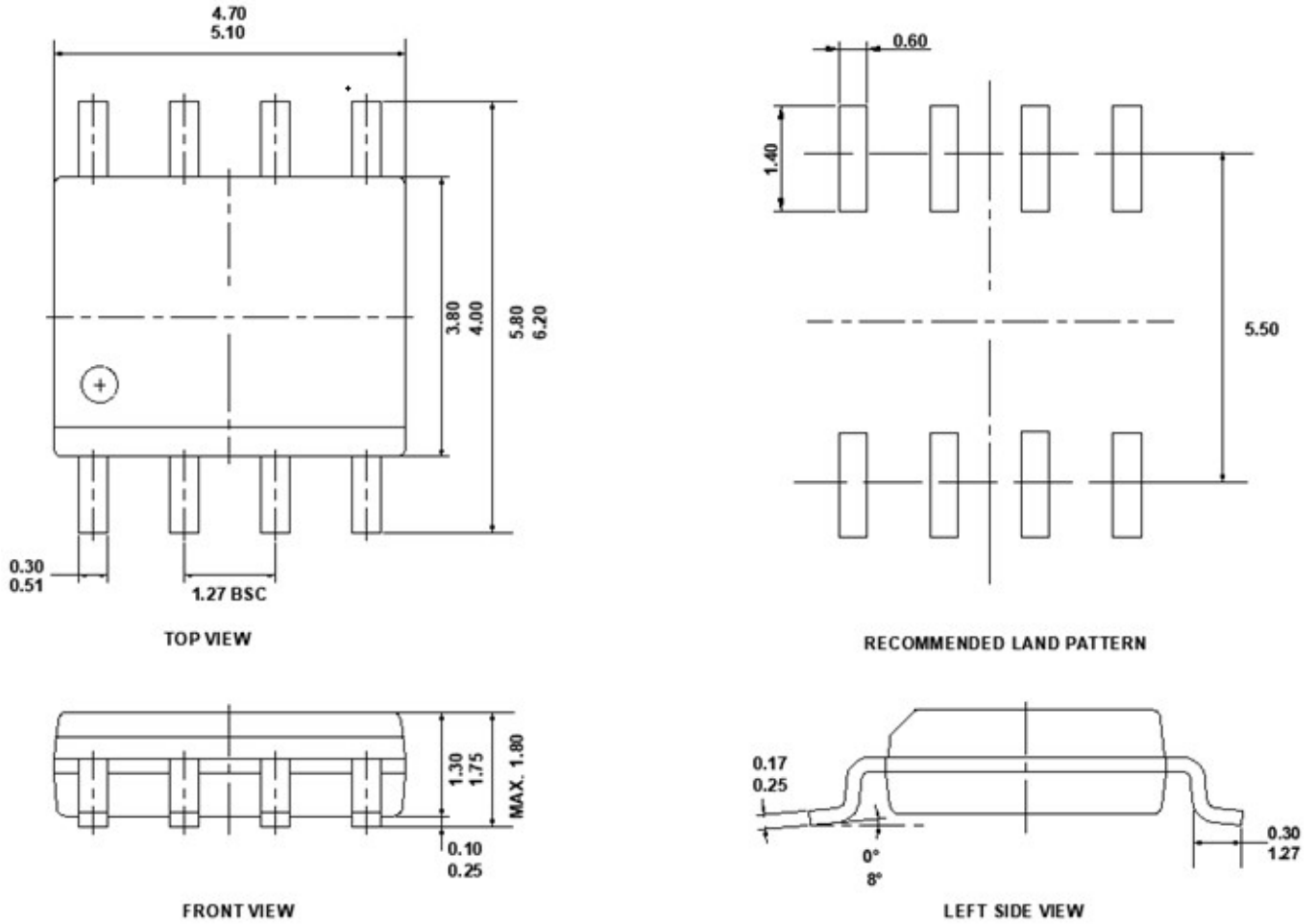
不同温度下单通道输出侧消耗电流  
CS817x2xHS,VI=L;CS817x2xLS,VI=H





**12. 封装信息**

下图说明了 CS817x2xHS/LS 系列数字隔离器采用 SOIC8 窄体封装大小尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



13. 焊接信息

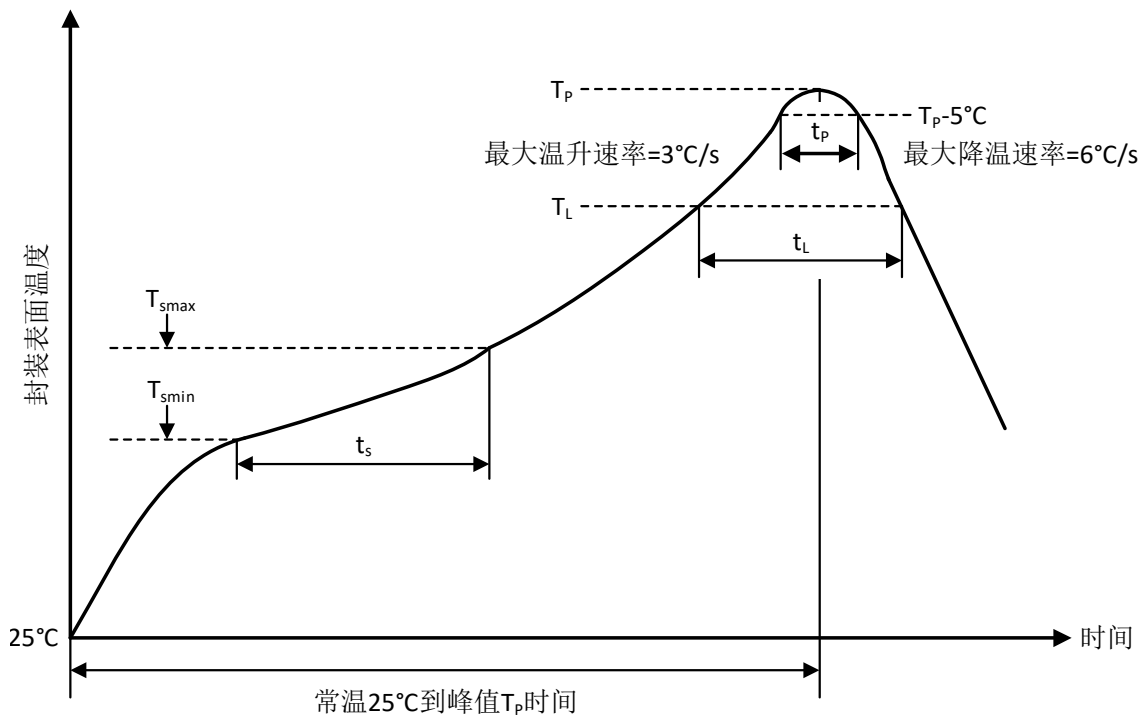


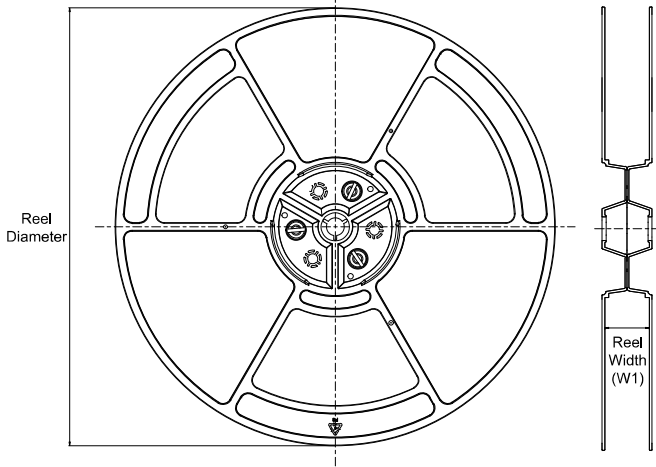
图 13-1 焊接温度曲线

表 13-1 焊接温度参数

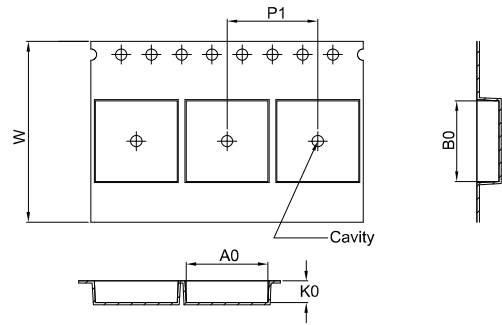
简要说明	无铅焊接
温升速率 (T <sub>L</sub> =217°C 至峰值 T <sub>p</sub> )	最大 3°C/s
T <sub>smin</sub> =150°C 到 T <sub>smax</sub> =200°C 预热时间 t <sub>s</sub>	60~120 秒
温度保持 217°C 以上时间 t <sub>L</sub>	60~150 秒
峰值温度 T <sub>p</sub>	260°C
小于峰值温度 5°C 以内时间 t <sub>p</sub>	最长 30 秒
降温速率 (峰值 T <sub>p</sub> 至 T <sub>L</sub> =217°C)	最大 6°C/s
常温 25°C 到峰值温度 T <sub>p</sub> 时间	最长 8 分钟

14. 卷带信息

REEL DIMENSIONS

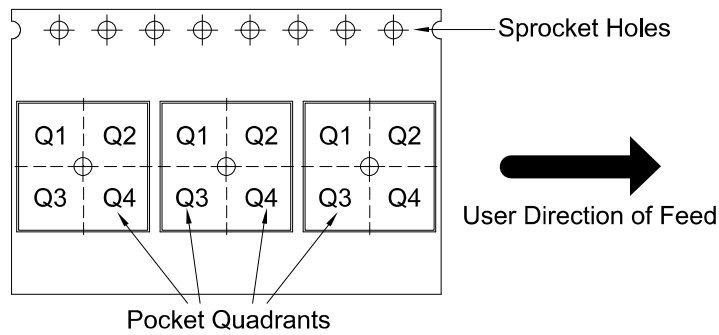


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CS817x20HS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CS817x20LS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CS817x22HS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CS817x22LS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1

## 15. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

### 商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>